



0400
06/03/02 0710 0700

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

APPLICATION OF:

OGAWA

COPY OF PAPERS
ORIGINALLY FILED

SERIAL NUMBER:

10/092,105

FILED:

March 6, 2002

FOR:

OPTICAL RECORDING MEDIUM AS WELL AS METHOD...

DOCKET:

NEC PNDF-01247

Assistant Commissioner of Patents and Trademarks
Washington, D.C. 20231

SUBMISSION OF CERTIFIED COPY OF PRIORITY DOCUMENT

Dear Sir:

Applicant hereby submits a certified copy of Japanese patent application serial no. 2001-059807, filed March 5, 2001, under which priority was claimed under 35 USC 119.

In the event there are any fee deficiencies or additional fees payable, please charge them (or credit any overpayment) to our deposit account number 08-1391.

Respectfully submitted,

Norman P. Soloway
Attorney for Applicant
Reg. No. 24,315

CERTIFICATE OF MAILING

I hereby certify that this correspondence is being deposited with the United States Postal Service as First Class Mail in an envelope addressed to: Assistant Commissioner of Patents, Washington, D.C. 20231 on May 1, 2002, at Tucson, Arizona.

By

N 321 COPY OF PAPERS
ORIGINALLY FILED

US



日本特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日
Date of Application:

2001年 3月 5日

出願番号
Application Number:

特願2001-059807

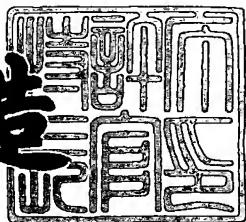
出願人
Applicant(s):

日本電気株式会社

2001年12月21日

特許庁長官
Commissioner,
Japan Patent Office

及川耕造



出証番号 出証特2001-3110223

【書類名】 特許願
【整理番号】 75410092
【提出日】 平成13年 3月 5日
【あて先】 特許庁長官殿
【国際特許分類】 H03M 13/09
【発明者】
【住所又は居所】 東京都港区芝五丁目 7番1号 日本電気株式会社内
【氏名】 小高 重成
【特許出願人】
【識別番号】 000004237
【氏名又は名称】 日本電気株式会社
【代理人】
【識別番号】 100099830
【弁理士】
【氏名又は名称】 西村 征生
【電話番号】 048-825-8201
【手数料の表示】
【予納台帳番号】 038106
【納付金額】 21,000円
【提出物件の目録】
【物件名】 明細書 1
【物件名】 図面 1
【物件名】 要約書 1
【包括委任状番号】 9407736
【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 巡回冗長検査演算方法及び巡回冗長検査演算回路

【特許請求の範囲】

【請求項1】 伝送すべきデータについて複数個の生成多項式により誤り検出のための演算を行い、前記データに各演算結果を付加して伝送する通信システムに用いられる巡回冗長検査演算方法であって、

前記データの所定ビット数ごとに第1の生成多項式により演算を行う第1の演算処理と、

前記データの所定ビット数ごとに前記第1の生成多項式と同一の又は異なる少なくとも1個の第2の生成多項式により演算を行う第2の演算処理と、

前記データの所定ビット数と、前記第1及び第2の演算処理の一方又は両方の途中で得られる少なくとも1個の演算結果とについて前記少なくとも1個の第2の生成多項式により演算を行う第3の演算処理とを有することを特徴とする巡回冗長検査演算方法。

【請求項2】 前記第3の演算処理では、前記データの所定ビット数を下位ビットとし、前記少なくとも1個の演算結果を上位ビットとして前記演算を行うことを特徴とする請求項1記載の巡回冗長検査演算方法。

【請求項3】 伝送すべきデータについて複数個の生成多項式により誤り検出のための演算を行い、前記データに各演算結果を付加して伝送する通信システムに用いられる巡回冗長検査演算方法であって、

前記データの32ビットごとに32次の生成多項式により演算を行う第1の演算処理と、

前記データの32ビットごとに16次の生成多項式により演算を行う第2の演算処理と、

前記データの32ビットと、前記第1の演算処理の途中で得られる32ビットの演算結果とについて前記16次の生成多項式により演算を行う第3の演算処理とを有することを特徴とする巡回冗長検査演算方法。

【請求項4】 前記第3の演算処理では、前記データの32ビットを下位ビットとし、前記32ビットの演算結果を上位ビットとする64ビットごとに前記

演算を行うことを特徴とする請求項3記載の巡回冗長検査演算方法。

【請求項5】 伝送すべきデータについて複数個の生成多項式により誤り検出のための演算を行い、前記データに各演算結果を付加して伝送する通信システムに用いられる巡回冗長検査演算方法であって、

前記データの32ビットごとに16次の生成多項式により演算を行う第1の演算処理と、

前記データの32ビットごとに前記16次の生成多項式により演算を行う第2の演算処理と、

前記データの32ビットと、前記第1の演算処理の途中で得られる16ビットの第1の演算結果とについて前記16次の生成多項式により演算を行う第3の演算処理と、

前記データの32ビットごとに前記16次の生成多項式により演算を行う第4の演算処理と、

前記データの32ビットと、前記第1の演算結果と、前記第2の演算処理の途中で得られる16ビットの第2の演算結果とについて前記16次の生成多項式により演算を行う第5の演算処理と

を有することを特徴とする巡回冗長検査演算方法。

【請求項6】 前記第3の演算処理では、前記データの32ビットを下位ビットとし、前記第1の演算結果を上位ビットとする48ビットごとに前記演算を行い、前記第5の演算処理では、前記データの32ビットを下位ビットとし、前記第1の演算結果を中位ビットとし、前記第2の演算結果を上位ビットとする64ビットごとに前記演算を行うことを特徴とする請求項5記載の巡回冗長検査演算方法。

【請求項7】 伝送すべきデータについて複数個の生成多項式により誤り検出のための演算を行い、前記データに各演算結果を付加して伝送する通信システムに用いられる巡回冗長検査演算回路であって、

前記データの所定ビット数ごとに第1の生成多項式により演算を行う第1の演算部と、

前記データの所定ビット数ごとに前記第1の生成多項式と同一の又は異なる少

なくとも1個の第2の生成多項式により演算を行う第2の演算部と、

前記データの所定ビット数と、前記第1及び第2の演算処理の一方又は両方の途中で得られる少なくとも1個の演算結果とについて前記少なくとも1個の第2の生成多項式により演算を行う第3の演算部とを有することを特徴とする巡回冗長検査演算回路。

【請求項8】 前記データの所定ビット数を下位ビットとし、前記少なくとも1個の演算結果を上位ビットとして結合して前記第3の演算部に供給するデータ結合部を有することを特徴とする請求項7記載の巡回冗長検査演算回路。

【請求項9】 伝送すべきデータについて複数個の生成多項式により誤り検出のための演算を行い、前記データに各演算結果を付加して伝送する通信システムに用いられる巡回冗長検査演算回路であって、

前記データの32ビットごとに32次の生成多項式により演算を行う第1の演算部と、

前記データの32ビットごとに16次の生成多項式により演算を行う第2の演算部と、

前記データの32ビットと、前記第1の演算部において演算途中で得られる32ビットの演算結果とについて前記16次の生成多項式により演算を行う第3の演算部とを有することを特徴とする巡回冗長検査演算回路。

【請求項10】 前記データの32ビットを下位ビットとし、前記32ビットの演算結果を上位ビットとして結合して前記第3の演算部に供給するデータ結合部を有することを特徴とする請求項9記載の巡回冗長検査演算回路。

【請求項11】 伝送すべきデータについて複数個の生成多項式により誤り検出のための演算を行い、前記データに各演算結果を付加して伝送する通信システムに用いられる巡回冗長検査演算回路であって、

前記データの32ビットごとに16次の生成多項式により演算を行う第1の演算部と、

前記データの32ビットごとに前記16次の生成多項式により演算を行う第2の演算部と、

前記データの32ビットと、前記第1の演算部において演算途中で得られる1

6ビットの第1の演算結果とについて前記16次の生成多項式により演算を行う第3の演算部と、

前記データの32ビットごとに前記16次の生成多項式により演算を行う第4の演算部と、

前記データの32ビットと、前記第1の演算結果と、前記第2の演算部において演算途中で得られる16ビットの第2の演算結果とについて前記16次の生成多項式により演算を行う第5の演算部と
を有することを特徴とする巡回冗長検査演算回路。

【請求項12】 前記データの32ビットを下位ビットとし、前記第1の演算結果を上位ビットとして結合して前記第3の演算部に供給する第1のデータ結合部と、前記データの32ビットを下位ビットとし、前記第1の演算結果を中位ビットとし、前記第2の演算結果を上位ビットとして結合して前記第5の演算部に供給する第2のデータ結合部とを有することを特徴とする請求項11記載の巡回冗長検査演算回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、巡回冗長検査（C R C : Cyclic Redundancy Check）演算方法及び巡回冗長検査演算回路に関し、特に、異なる通信プロトコルを介してデータ通信を行う場合に用いて好適な巡回冗長検査演算方法及び巡回冗長検査演算回路に関する。

【0002】

【従来の技術】

図15は、従来のデータ通信システムの構成例を示すブロック図である。この例のデータ通信システムは、パーソナルコンピュータ等の情報処理装置1と、ハードディスク3を備えたサーバ2とがインターネットやインターネット等のネットワーク4を介して接続されて構成されている。そして、情報処理装置1とサーバ2との間で行われるデータ通信の通信プロトコルとしては、一般に、T C P / I P (Transmission Control Protocol/Internet Protocol) (以下、一般プロ

トコルと呼ぶ)が用いられている。一方、サーバ2とハードディスク3との間で行われるデータ通信の通信プロトコルとしては、最近では、次世代のサーバ向けインターフェイスであり、データ伝送速度が500Mバイト/秒以上であるInfiniBand(商標名)等の高速な通信プロトコル(以下、高速プロトコルと呼ぶ)が用いられている。

【0003】

次に、上記構成のデータ通信システムにおいて、情報処理装置1からネットワーク4を介してサーバ2へアクセスし、ハードディスク3に記憶されているデータを読み出す場合の動作について説明する。まず、サーバ2は、情報処理装置1からアクセスされ、ハードディスク3に記憶されているあるデータの読み出しが要求されると、ハードディスク3の記憶領域をサーチし、要求されたデータを探し出す。これにより、ハードディスク3は、要求されたデータを読み出し、ケーブル5を介してサーバ2へ伝送する。この際、データは、図16に示すデータ・フォーマットに従って構成された通信データに組み込まれ、上記高速プロトコルでハードディスク3からサーバ2へ4バイト(32ビット)ずつ伝送されるものとする。通信データは、図16に示すように、ヘッダと、データと、演算結果CRC32と、演算結果CRC16とから構成されている。ここで、演算結果CRC32とは、伝送されるデータを32ビットずつのビット列に分割し、データ通信における誤り検出方式の1つである巡回冗長検査(CRC:Cyclic Redundancy Check)方式により、式(1)に示す32次の生成多項式を用いて誤り検出のための演算を行った結果をいう。同様に、演算結果CRC16とは、伝送されるデータを16ビットずつのビット列に分割し、CRC方式により、式(2)に示す16次の生成多項式を用いて誤り検出のための演算を行った結果をいう。以下では、式(1)に示す32次の生成多項式を用いて誤り検出のために行う演算をCRC32演算と呼び、式(2)に示す16次の生成多項式を用いて誤り検出のために行う演算をCRC16演算と呼ぶ。

【数1】

$$\begin{aligned} G(X) = & X^{32} + X^{26} + X^{23} + X^{22} + X^{16} + X^{12} \\ & + X^{11} + X^8 + X^7 + X^5 + X^4 + X^2 + X^1 + 1 \dots \end{aligned}$$

・ (1)

【数2】

$$G(X) = X^{16} + X^{12} + X^3 + X^1 + 1 \dots \quad (2)$$

【0004】

この通信データは、図17に示すように、ヘッダ及びデータがn個(nは自然数)の1バイトずつのデータブロックDB₀～DB_nに分割され、演算結果CRC₃₂が4個の1バイトずつの演算結果ブロックCRC₃₂₀～CRC₃₂₃に分割され、演算結果CRC₁₆が2個の1バイトずつの演算結果ブロックCRC₁₆₀及びCRC₁₆₁に分割される。CRC₃₂演算は、ヘッダ及びデータについて行われる。一方、CRC₁₆演算は、ヘッダ、データ及び演算結果CRC₃₂について行われる。すなわち、CRC₁₆演算においては、演算結果CRC₃₂もヘッダやデータと同様に見なされるのである。

【0005】

次に、サーバ2は、ハードディスク3から通信データが伝送されると、通信データから上記高速プロトコル専用のヘッダ及び演算結果CRC₁₆を削除したものを新たに通信データとして、ネットワーク4を通して情報処理装置1へ伝送する。

上記したように、この例の通信システムにおいては、ハードディスク3からサーバ2へ通信データを伝送する際にCRC₃₂演算を行って通信データに演算結果ブロックCRC₃₂₀～CRC₃₂₃を付加している。これにより、サーバ2から情報処理装置1へ通信データを伝送する際には、CRC演算を行う必要がなく、短時間で通信データの伝送を行うことができる。

【0006】

次に、上記したハードディスク3からサーバ2へ通信データを伝送する際に、CRC演算を行う従来のCRC演算回路の構成及び動作について説明する。図18は、従来のCRC演算回路の構成を示すブロック図である。この例のCRC演算回路は、データ入力部11と、ラッチ12～16と、セレクタ17及び18と、演算部19及び20と、データ出力部21とから構成されている。

データ入力部11は、ハードディスク3の所定の記憶領域から読み出される3

2ビットずつの入力データD₀に対して波形整形などを施し、出力データD₁として後段の回路要素に入力するためのインターフェイスである。ラッチ12及び13は、各々32ビットのフリップフロップからなり、データ処理のタイミングを調整するために設けられている。ラッチ12は、データ入力部11の出力データD₁を外部から供給されるクロック1個分だけ保持（ラッチ）し、出力データD₂として出力する。ラッチ13は、ラッチ12の出力データD₂をクロック1個分だけラッチし、出力データD₄として出力する。ラッチ14は、32ビットのフリップフロップからなり、演算部20へのデータ入力のタイミングを調整するために、データ入力部11の出力データD₁をクロック1個分だけラッチし、出力データD₂として出力する。

セレクタ17は、ラッチ14から出力される32ビットの出力データD₂か、あるいはラッチ15から出力される32ビットの出力データD₅のいずれか一方を選択し、出力データD₃として出力する。

【0007】

演算部19は、データ入力部11の出力データD₁についてラッチ15の出力データD₅を用いてCRC32演算を行う。演算部20は、セレクタ17の出力データD₃についてラッチ16の出力データD₆を用いてCRC16演算を行う。ラッチ15は、32ビットのフリップフロップからなり、演算部19から出力される32ビットの演算結果をクロック1個分だけラッチし、出力データD₅として出力する。ラッチ16は、16ビットのフリップフロップからなり、演算部20から出力される16ビットの演算結果をクロック1個分だけラッチし、出力データD₆として出力する。セレクタ18は、ラッチ13から出力される32ビットの出力データD₄、ラッチ15から出力される32ビットの出力データD₅、あるいはラッチ16から出力される16ビットの出力データD₆のいずれかを選択し、出力データD₇として出力する。データ出力部21は、セレクタ18から出力される32ビットの出力データD₇に対して波形整形などを施し、出力データD₈として後段の回路要素へ供給するためのインターフェイスである。

【0008】

次に、演算部19及び20の詳細な構成について説明する。

この例の演算部19は、以下に示すCRC32演算と同様の演算結果CRC32を生成する。ここで、上記した入力データD₁を構成する32ビットのビット列d₃₁, d₃₀, …, d₁, d₀を数値とみなし、式(3)に示す多項式P(X)で表す。

【数3】

$$P(X) = d_{31}X^{31} + d_{30}X^{30} + \cdots + d_1X + d_0 \dots \quad (3)$$

式(3)において、「+」は、剩余2(Modulo 2)の加算を表す。「+」の意味については、上記した式(1)及び(2)並びに以下に示す式においても同様である。また、剩余2とは、2進数値0と1とで巡回して桁上げ及び桁下げがない演算をいい、式(4)～式(11)に示すように定義される。

$$0 + 0 = 0 \dots \quad (4)$$

$$0 + 1 = 1 \dots \quad (5)$$

$$1 + 0 = 1 \dots \quad (6)$$

$$1 + 1 = 0 \dots \quad (7)$$

$$0 - 0 = 0 \dots \quad (8)$$

$$0 - 1 = 1 \dots \quad (9)$$

$$1 - 0 = 1 \dots \quad (10)$$

$$1 - 1 = 0 \dots \quad (11)$$

すなわち、剩余2の演算は、論理回路における排他的論理和演算と同じ結果となる。

【0009】

そして、この入力データP(X)に式(1)に示す32次の生成多項式G(X)の最高次の項X³²を乗算した結果を式(12)に示すQ(X)とする。次に、Q(X)を生成多項式G(X)で除算し、その剰余を式(13)に示すR(X)とする。式(13)において、c₃₁, c₃₀, …, c₁, c₀は0又は1である。

【数4】

$$Q(X) = d_{31}X^{63} + d_{30}X^{62} + \cdots + d_1X^{33} + d_0X^{32} \dots \quad (12)$$

【数5】

$$R(X) = c_{31}X^{31} + c_{30}X^{30} + \cdots + c_1X + c_0 \quad \dots \quad (13)$$

この剩余 $R(X)$ を構成する $c_{31}, c_{30}, \dots, c_1, c_0$ が演算結果 CRC 32 のサイクリック・チェック・ビットであり、CRC 符号と呼ばれる。さらに、次に入力される入力データ $P'(X)$ に今回得られた CRC 符号を乗算して新たな $Q(X)$ とする。この新たな $Q(X)$ を生成多項式 $G(X)$ で除算すると、新たな CRC 符号が得られる。以上説明した処理をすべての入力データ $P(X)$ に繰り返し（巡回）行うと、演算結果 CRC 32 が得られる。

以上説明したように、CRC 32 演算においては、 $Q(X)$ を生成多項式 $G(X)$ で除算する必要がある。しかし、この除算をハードウェアにより単純に実現しようとすると、高速な処理ができないことや回路規模が大きくなることなどから、一般には、図 19 に示す演算部 19 により実現する。演算部 19 は、イクスクルーシブオアゲート (EOR) $23_1 \sim 23_{14}$ と、ディレイ・フリップフロップ (FF) $24_1 \sim 24_{32}$ とから構成されている。なお、この構成については、公知であるので、その説明を省略する。図 19 に示す演算部 19 に 32 ビットの入力データ $P(X)$ と同じ 32 ビット分のデータをシフトするためのクロックを供給した場合の各 $FF_{24_{32}} \sim FF_{24_1}$ の出力データ $C31 \sim C00$ が CRC 32 演算の剩余 $c_{31}, c_{30}, \dots, c_1, c_0$ を表している。ここで、図 20 及び図 21 に出力データ $C31 \sim C00$ の演算式を示す。図 20 及び図 21 において、 $R31 \sim R00$ は $FF_{24_{32}} \sim FF_{24_1}$ の初期値であり、 $D31 \sim D00$ は上記した入力データ $P(X)$ を構成するビット列 $d_{31}, d_{30}, \dots, d_1, d_0$ に対応しており、「・」は排他的論理和演算を意味している。

【0010】

次に、図 22 は、演算部 20 の構成を示すブロック図である。この例の演算部 20 は、EOR $26_1 \sim 26_4$ と、FF $27_1 \sim 27_{16}$ とから構成されている。なお、この構成については、公知であるので、その説明を省略する。この例の演算部 20 は、CRC 16 演算と同様の演算結果 CRC 16 を生成する。なお、CRC 16 演算の詳細については、生成多項式が異なる点を除けば上記した CRC 32 演算と略同様であるので、その説明を省略する。

図23に示す演算部20に32ビットの入力データP(X)と同じ32ビット分のデータをシフトするためにクロックを供給した場合の各 $\text{FF}_{27_{16}} \sim \text{FF}_{27_1}$ の出力データ $C_{15} \sim C_0$ がCRC16演算の剩余を表している。ここで、図23に出力データ $C_{15} \sim C_0$ の演算式を示す。図23において、 $R_{15} \sim R_0$ は $\text{FF}_{27_{16}} \sim \text{FF}_{27_1}$ の初期値であり、 $D_{31} \sim D_0$ は上記した入力データP(X)を構成するビット列 $d_{31}, d_{30}, \dots, d_1, d_0$ に対応しており、「・」は排他的論理和演算を意味している。

【0011】

次に、上記構成のCRC演算回路の動作について、図24に示すタイミングチャートを参照して説明する。まず、説明を簡単にするために、入力データ D_0 は、図24に示すように、バイトデータ $BD_0 \sim BD_3$ からなるものとする。バイトデータ BD_0 は各1バイトのデータブロック $DB_0 \sim DB_3$ からなり、バイトデータ BD_1 は各1バイトのデータブロック $DB_4 \sim DB_7$ からなる。また、バイトデータ BD_2 は各1バイトのデータブロック $DB_8 \sim DB_{11}$ からなり、バイトデータ BD_3 は各1バイトのデータブロック DB_{12} 及び DB_{13} からなる。

まず、入力データ D_0 が、図24(1)に示すように、第1の周期#1から図示せぬクロックに同期して外部から順次CRC演算回路に供給されると、データ入力部11は、入力データ D_0 に対して波形整形など施し、出力データ D_1 としてラッチ12及び14並びに演算部19へ順次供給する。ラッチ12及び14は、データ入力部11の出力データ D_1 を外部から供給されるクロック1個分だけラッチし、図24(3)に示すように、第2の周期#2から出力データ D_2 として順次出力する。

【0012】

一方、演算部19は、第1の周期#1において、データ入力部11の出力データ D_1 、今の場合、バイトデータ BD_0 について、ラッチ15の出力データ D_5 、今の場合、ラッチ15の初期値を用いてCRC32演算を行い、演算結果 CR_0 を生成する。なお、ラッチ15には、初期値として、「0」が予め設定されている。これにより、ラッチ15は、演算部19から出力される演算結果 CR_0

D_0 をクロック1個分だけラッチし、図24(2)に示すように、第2の周期#2に出力データ D_5 として出力する。次に、演算部19は、第2の周期#2において、データ入力部11の出力データ D_1 、今の場合、バイトデータ BD_1 について、ラッチ15の出力データ D_5 、今の場合、演算結果 CRC_{00} を用いてCRC32演算を行い、演算結果 CRC_{01} を生成する。これにより、ラッチ15は、演算結果 CRC_{01} をクロック1個分だけラッチし、図24(2)に示すように、第3の周期#3に出力データ D_5 として出力する。

【0013】

同様に、演算部19は、第3の周期#3において、データ入力部11の出力データ D_1 、今の場合、バイトデータ BD_2 について、ラッチ15の出力データ D_5 、今の場合、演算結果 CRC_{01} を用いてCRC32演算を行い、演算結果 CRC_{02} を生成する。これにより、ラッチ15は、演算結果 CRC_{02} をクロック1個分だけラッチし、図24(2)に示すように、第4の周期#4に出力データ D_5 として出力する。次に、演算部19は、第4の周期#4において、データ入力部11の出力データ D_1 、今の場合、バイトデータ BD_3 について、ラッチ15の出力データ D_5 、今の場合、演算結果 CRC_{02} を用いてCRC32演算を行い、演算結果 CRC_{03} を生成する。これにより、ラッチ15は、演算結果 CRC_{03} をクロック1個分だけラッチし、図24(2)に示すように、第5の周期#5に出力データ D_5 として出力する。この演算結果 CRC_{03} が演算結果CRC32である。この演算結果CRC32は、上記したように、4個の演算結果ブロック $CRC_{320} \sim CRC_{323}$ から構成されている。

【0014】

これにより、セレクタ17は、図24(4)に示すように、第2～第4の周期#2～#4においては、ラッチ14から出力される32ビットの出力データ D_2 、今の場合、バイトデータ $BD_0 \sim BD_2$ を選択して出力データ D_3 として出力する。また、セレクタ17は、図24(4)に示すように、第5の周期#5においては、バイトデータ BD_3 を構成するデータブロック DB_{12} 及び DB_{13} と、演算結果CRC32を構成する演算結果ブロック CRC_{320} 及び CRC_{321} とから新たなバイトデータ BD'_3 を生成して出力データ D_3 として出力する

。さらに、セレクタ17は、図24(4)に示すように、第6の周期#6においては、演算結果CRC32を構成する演算結果ブロックCRC32₂及びCRC32₃を新たなバイトデータBD₄とし、出力データD₃として出力する。

【0015】

したがって、演算部20は、第2の周期#2において、セレクタ17の出力データD₃、今の場合、バイトデータBD₀について、ラッチ16の出力データD₆、今の場合、ラッチ16の初期値を用いてCRC16演算を行い、演算結果CR₁₀を生成する。なお、ラッチ16には、初期値として、「0」が予め設定されている。これにより、ラッチ16は、演算部20から出力される演算結果CR₁₀をクロック1個分だけラッチし、図24(5)に示すように、第3の周期#3に出力データD₆として出力する。次に、演算部20は、第3の周期#3において、セレクタ17の出力データD₃、今の場合、バイトデータBD₁について、ラッチ16の出力データD₆、今の場合、演算結果CR₁₀を用いてCRC16演算を行い、演算結果CR₁₁を生成する。これにより、ラッチ16は、演算結果CR₁₁をクロック1個分だけラッチし、図24(5)に示すように、第4の周期#4に出力データD₆として出力する。

【0016】

同様に、演算部20は、第4の周期#4において、セレクタ17の出力データD₃、今の場合、バイトデータBD₂について、ラッチ16の出力データD₆、今の場合、演算結果CR₁₁を用いてCRC16演算を行い、演算結果CR₁₂を生成する。これにより、ラッチ16は、演算結果CR₁₂をクロック1個分だけラッチし、図24(5)に示すように、第5の周期#5に出力データD₆として出力する。次に、演算部20は、第5の周期#5において、セレクタ17の出力データD₃、今の場合、バイトデータBD'₃、すなわち、データブロックDB₁₂及びDB₁₃並びに演算結果ブロックCRC32₀及びCRC32₁について、ラッチ16の出力データD₆、今の場合、演算結果CR₁₂を用いてCRC16演算を行い、演算結果CR₁₃を生成する。これにより、ラッチ16は、演算結果CR₁₃をクロック1個分だけラッチし、図24(5)に示すように、第6の周期#6に出力データD₆として出力する。次に、演算部20は、第6の

周期#6において、セレクタ17の出力データD₃、今の場合、バイトデータB D₄、すなわち、演算結果ブロックCRC32₂及びCRC32₃について、ラッチ16の出力データD₆、今の場合、演算結果CR₁₃を用いてCRC16演算を行い、演算結果CR₁₄を生成する。これにより、ラッチ16は、演算結果CR₁₄をクロック1個分だけラッチし、図24(5)に示すように、第7の周期#7に出力データD₆として出力する。この演算結果CR₁₄が演算結果CR C16である。この演算結果CRC16は、上記したように、2個の演算結果ブロックCRC16₀及びCRC16₁から構成されている。

【0017】

これにより、セレクタ18は、第3～第5の周期#3～#5においては、ラッチ13から出力される32ビットの出力データD₂、今の場合、バイトデータB D₀～BD₂を選択して出力データD₇として出力する。また、セレクタ18は、第6の周期#6においては、データブロックDB₁₂及びDB₁₃並びに演算結果ブロックCRC32₀及びCRC32₁とからなるバイトデータBD'3を出力データD₇として出力する。さらに、セレクタ18は、第7の周期#7においては、演算結果CRC32を構成する演算結果ブロックCRC32₂及びCR C32₃と、演算結果CRC16を構成する演算結果ブロックCRC16₀及びCRC16₁とから新たなバイトデータBD'4を生成して出力データD₇として出力する。したがって、データ出力部21は、図24(6)に示すように、セレクタ18から出力される32ビットの出力データD₇に対して波形整形など施し、出力データD₈として後段の回路要素へ供給する。

【0018】

【発明が解決しようとする課題】

ところで、データ通信においては、データを正確に相手方に伝送するためには、データ伝送の最初から最後まで（パケット通信においては1パケット間）、データを連續して伝送しなければならない。このため、上記した従来のCRC演算回路においては、図24に示すように、伝送すべきデータとCRC演算結果とが途切れなく伝送されるように、伝送されるべきデータの最後にCRC演算結果を付加している。

また、上記した従来のCRC演算回路においては、CRC16演算をする際にCRC32演算の演算結果CRC32を用いているため、データ入力部11の出力データD₁の最後に演算結果CRC32を付加して演算部20に供給する必要がある。

【0019】

ところが、図24(1)に示すように、32ビットずつ供給されるデータ入力部11の出力データD₁の最後が2バイトのバイトデータBD₃である場合には、以下に示す不都合が発生する。

すなわち、演算結果CRC32は、各1バイトで合計4個の演算結果ブロックCRC32₀～CRC32₃から構成されているので、前半の演算結果ブロックCRC32₁及びCRC32₂については、図24(4)に示すように、データブロックBD₁₂及びBD₁₃に付加してバイトデータBD'₃として第5の周期#5に演算部20へ伝送することができる。一方、演算結果CRC32のうち、後半の演算結果ブロックCRC32₂及びCRC32₃については、図24(4)に示すように、新たにバイトデータBD₄を構成し、第6の周期#6に演算部20へ伝送しなければならない。つまり、この場合、本来のCRC16演算に直接関わらないデータ伝送のためだけに1クロック分だけ余計に時間がかかることになる。このため、ラッチ14は、この1クロック分だけ余計に時間がかかるデータ伝送と、演算部20におけるCRC16演算とのタイミングを調整するために、データ入力部11の出力データD₁をクロック1個分だけラッチしているのである。

さらに、CRC演算を行うためには、少なくともクロック1個分の時間は必要であり、そのために、演算部19及び20の各後段にはラッチ15及び16が設けられている。

したがって、データ入力部11に入力データD₀が入力されてからデータ出力部21から出力データD₈が出力されるまでにクロック2個分の遅延が生じてしまう。そこで、上記した従来のCRC演算回路においては、データ入力部11とセレクタ18との間に、ラッチ14に対応してラッチ12を、ラッチ15及び16に対応してラッチ13を設けているのである。

これにより、上記した従来のCRC演算回路は、近年のCPU（中央処理装置）の動作速度の高速化に伴うデータ通信における信号処理の高速化への要求に十分に応えることができないという問題があった。

以上説明した不都合は、CRC演算を複数回行ってデータ伝送を行うデータ通信において同様に発生するものである。そして、データ伝送速度を高速化したり、バス幅を広げたりすることだけでは上記データ通信における信号処理の高速化への要求には十分に対応できず、信号処理回路内部における処理速度の高速化が必要不可欠である。

【0020】

この発明は、上述の事情に鑑みてなされたもので、高速に行うことができる巡回冗長検査演算方法及び巡回冗長検査演算回路を提供することを目的としている。

【0021】

【課題を解決するための手段】

上記課題を解決するために、請求項1記載の発明は、伝送すべきデータについて複数個の生成多項式により誤り検出のための演算を行い、上記データに各演算結果を附加して伝送する通信システムに用いられる巡回冗長検査演算方法に係り、上記データの所定ビット数ごとに第1の生成多項式により演算を行う第1の演算処理と、上記データの所定ビット数ごとに上記第1の生成多項式と同一の又は異なる少なくとも1個の第2の生成多項式により演算を行う第2の演算処理と、上記データの所定ビット数と、上記第1及び第2の演算処理の一方又は両方の途中で得られる少なくとも1個の演算結果とについて上記少なくとも1個の第2の生成多項式により演算を行う第3の演算処理とを有することを特徴としている。

【0022】

また、請求項2記載の発明は、請求項1記載の巡回冗長検査演算方法において、上記第3の演算処理では、上記データの所定ビット数を下位ビットとし、上記少なくとも1個の演算結果を上位ビットとして上記演算を行うことを特徴としている。

【0023】

また、請求項3記載の発明は、伝送すべきデータについて複数個の生成多項式により誤り検出のための演算を行い、上記データに各演算結果を付加して伝送する通信システムに用いられる巡回冗長検査演算方法に係り、上記データの32ビットごとに32次の生成多項式により演算を行う第1の演算処理と、上記データの32ビットごとに16次の生成多項式により演算を行う第2の演算処理と、上記データの32ビットと、上記第1の演算処理の途中で得られる32ビットの演算結果とについて上記16次の生成多項式により演算を行う第3の演算処理とを有することを特徴としている。

【0024】

また、請求項4記載の発明は、請求項3記載の巡回冗長検査演算方法に係り、上記第3の演算処理では、上記データの32ビットを下位ビットとし、上記32ビットの演算結果を上位ビットとする64ビットごとに上記演算を行うことを特徴としている。

【0025】

また、請求項5記載の発明は、伝送すべきデータについて複数個の生成多項式により誤り検出のための演算を行い、上記データに各演算結果を付加して伝送する通信システムに用いられる巡回冗長検査演算方法に係り、上記データの32ビットごとに16次の生成多項式により演算を行う第1の演算処理と、上記データの32ビットごとに上記16次の生成多項式により演算を行う第2の演算処理と、上記データの32ビットと、上記第1の演算処理の途中で得られる16ビットの第1の演算結果とについて上記16次の生成多項式により演算を行う第3の演算処理と、上記データの32ビットごとに上記16次の生成多項式により演算を行う第4の演算処理と、上記データの32ビットと、上記第1の演算結果と、上記第2の演算処理の途中で得られる16ビットの第2の演算結果とについて上記16次の生成多項式により演算を行う第5の演算処理とを有することを特徴としている。

【0026】

また、請求項6記載の発明は、請求項5記載の巡回冗長検査演算方法に係り、上記第3の演算処理では、上記データの32ビットを下位ビットとし、上記第1

の演算結果を上位ビットとする48ビットごとに上記演算を行い、上記第5の演算処理では、上記データの32ビットを下位ビットとし、上記第1の演算結果を中位ビットとし、上記第2の演算結果を上位ビットとする64ビットごとに上記演算を行うことを特徴としている。

【0027】

また、請求項7記載の発明は、伝送すべきデータについて複数個の生成多項式により誤り検出のための演算を行い、上記データに各演算結果を付加して伝送する通信システムに用いられる巡回冗長検査演算回路に係り、上記データの所定ビット数ごとに第1の生成多項式により演算を行う第1の演算部と、上記データの所定ビット数ごとに上記第1の生成多項式と同一の又は異なる少なくとも1個の第2の生成多項式により演算を行う第2の演算部と、上記データの所定ビット数と、上記第1及び第2の演算処理の一方又は両方の途中で得られる少なくとも1個の演算結果とについて上記少なくとも1個の第2の生成多項式により演算を行う第3の演算部とを有することを特徴としている。

【0028】

また、請求項8記載の発明は、請求項7記載の巡回冗長検査演算回路上記データの所定ビット数を下位ビットとし、上記少なくとも1個の演算結果を上位ビットとして結合して上記第3の演算部に供給するデータ結合部を有することを特徴としている。

【0029】

また、請求項9記載の発明は、伝送すべきデータについて複数個の生成多項式により誤り検出のための演算を行い、上記データに各演算結果を付加して伝送する通信システムに用いられる巡回冗長検査演算回路に係り、上記データの32ビットごとに32次の生成多項式により演算を行う第1の演算部と、上記データの32ビットごとに16次の生成多項式により演算を行う第2の演算部と、上記データの32ビットと、上記第1の演算部において演算途中で得られる32ビットの演算結果とについて上記16次の生成多項式により演算を行う第3の演算部とを有することを特徴としている。

【0030】

また、請求項10記載の発明は、請求項9記載の巡回冗長検査演算回路に係り、上記データの32ビットを下位ビットとし、上記32ビットの演算結果を上位ビットとして結合して上記第3の演算部に供給するデータ結合部を有することを特徴としている。

【0031】

また、請求項11記載の発明は、伝送すべきデータについて複数個の生成多項式により誤り検出のための演算を行い、上記データに各演算結果を附加して伝送する通信システムに用いられる巡回冗長検査演算回路に係り、上記データの32ビットごとに16次の生成多項式により演算を行う第1の演算部と、上記データの32ビットごとに上記16次の生成多項式により演算を行う第2の演算部と、上記データの32ビットと、上記第1の演算部において演算途中で得られる16ビットの第1の演算結果とについて上記16次の生成多項式により演算を行う第3の演算部と、上記データの32ビットごとに上記16次の生成多項式により演算を行う第4の演算部と、上記データの32ビットと、上記第1の演算結果と、上記第2の演算部において演算途中で得られる16ビットの第2の演算結果とについて上記16次の生成多項式により演算を行う第5の演算部とを有することを特徴としている。

【0032】

また、請求項12記載の発明は、請求項11記載の巡回冗長検査演算回路に係り、上記データの32ビットを下位ビットとし、上記第1の演算結果を上位ビットとして結合して上記第3の演算部に供給する第1のデータ結合部と、上記データの32ビットを下位ビットとし、上記第1の演算結果を中位ビットとし、上記第2の演算結果を上位ビットとして結合して上記第5の演算部に供給する第2のデータ結合部とを有することを特徴としている。

【0033】

【作用】

この発明の構成によれば、巡回冗長検査演算を高速に行うことができる。

【0034】

【発明の実施の形態】

以下、図面を参照して、この発明の実施の形態について説明する。説明は、実施例を用いて具体的に行う。

A. 第1の実施例

まず、この発明の第1の実施例について説明する。

図1は、この発明の第1の実施例であるCRC演算回路の構成を示すブロック図である。

この例のCRC演算回路は、データ入力部31と、ラッチ32～34と、データ結合部35と、演算部36～38と、セレクタ39及び40と、データ出力部41とから構成されている。

【0035】

データ入力部31は、32ビットずつの入力データ D_0 に対して波形整形などを施し、出力データ D_1 として後段の回路要素に入力するためのインターフェイスである。ラッチ32は、32ビットのフリップフロップからなり、データ処理のタイミングを調整するために設けられている。ラッチ32は、データ入力部31の出力データ D_1 を外部から供給されるクロック1個分だけラッチし、出力データ D_7 として出力する。データ結合部35は、データ入力部31の出力データ D_1 と、ラッチ33の出力データ D_8 とを結合し、図2に示すように、データ入力部31の出力データ D_1 を下位32ビットとし、ラッチ33の出力データ D_8 を上位32ビットとする出力データ D_2 を生成して出力する。演算部36は、データ入力部31の出力データ D_1 について、ラッチ33の出力データ D_8 を用いてCRC32演算を行い、32ビットの演算結果を出力データ D_3 として出力する。演算部37は、データ入力部31の出力データ D_1 について、ラッチ34の出力データ D_9 を用いてCRC16演算を行い、16ビットの演算結果を出力データ D_4 として出力する。演算部38は、データ結合部35の出力データ D_2 について、ラッチ34の出力データ D_9 を用いてCRC16演算を行い、16ビットの演算結果を出力データ D_5 として出力する。

【0036】

セレクタ39は、演算部37の出力データ D_4 か、あるいは演算部38の出力データ D_5 のいずれか一方を選択して出力データ D_6 として出力する。ラッチ3

3は、32ビットのフリップフロップからなり、演算部36の出力データD₃をクロック1個分だけラッチし、出力データD₈として出力する。ラッチ34は、16ビットのフリップフロップからなり、セレクタ39の出力データD₆をクロック1個分だけラッチし、出力データD₉として出力する。セレクタ40は、ラッチ32の出力データD₇、ラッチ33の出力データD₈、あるいはラッチ34の出力データD₉のいずれかを選択して出力データD₁₀として出力する。データ出力部41は、セレクタ40の出力データD₁₀に対して波形整形などを施し、出力データD₁₁として後段の回路要素へ供給するためのインターフェイスである。

【0037】

なお、演算部36は、その構成が図20及び図21に示す演算式を回路化したものである。また、演算部37は、その構成が図23に示す演算式を回路化したものである。また、演算部38は、その構成が図3に示す演算式を回路化したものである。図3において、Z15～Z00はFF27₁₆～FF27₁の初期値であり、R31～R00はラッチ33の出力データD₈の各ビットである。また、D31～D00は上記した入力データの各ビットに対応しており、「・」は排他的論理和演算を意味している。

【0038】

図3に示す演算式は、以下に示す手順で生成される。上記したように、演算部38には、図2に示す64ビットのデータが入力される。このため、まず、データ幅64ビットの入力データについてCRC16演算を行う必要がある。この場合の演算結果CRC16は、図22に示す演算部において、64ビット分のデータをシフトするためのクロックを供給した場合の各FF27₁₆～27₁の出力データC15～C00に相当する。そこで、図4に演算部38に64ビットの入力データと同じ64ビット分のデータをシフトするためのクロックを供給した場合の各FF27₁₆～27₁の出力データC15～C00の演算式を示す。図4において、R15～R00はFF27₁₆～FF27₁の初期値であり、D63～D00は上記した入力データの各ビットに対応しており、「・」は排他的論理和演算を意味している。次に、図2に示すように、データ結合部35の出力データ

タ D_2 のうち、上位32ビットはラッチ33の出力データ D_8 、すなわち、演算部36の演算結果CRC32である。したがって、図4に示す各演算式の $D_{63} \sim D_{32}$ に図20及び図21に示す演算式 $C_{31} \sim C_{00}$ を代入する。この場合、図4に示す $R_{15} \sim R_{00}$ と、図20及び図21に示す $R_{31} \sim R_{00}$ とを区別するために、前者を $Z_{15} \sim Z_{00}$ で表す。そして、得られた各演算式を剩余2に基づいて整理すると、図3に示す演算式が得られる。

【0039】

次に、上記構成のCRC演算回路の動作について、図5に示すタイミング・チャートを参照して説明する。まず、説明を簡単にするために、入力データ D_0 は、図5に示すように、バイトデータ $BD_0 \sim BD_3$ からなるものとする。バイトデータ BD_0 は各1バイトのデータブロック $DB_0 \sim DB_3$ からなり、バイトデータ BD_1 は各1バイトのデータブロック $DB_4 \sim DB_7$ からなる。また、バイトデータ BD_2 は各1バイトのデータブロック $DB_8 \sim DB_{11}$ からなり、バイトデータ BD_3 は各1バイトのデータブロック DB_{12} 及び DB_{13} からなる。

まず、入力データ D_0 が、図5(1)に示すように、第1の周期#1から図示せぬクロックに同期して外部から順次CRC演算回路に供給されると、データ入力部31は、入力データ D_0 に対して波形整形など施し、出力データ D_1 としてラッチ32、データ結合部35並びに演算部36及び37へ順次供給する。

【0040】

これにより、ラッチ32は、データ入力部31の出力データ D_1 を外部から供給されるクロック1個分だけラッチし、第2の周期#2から出力データ D_7 として順次出力する。

また、演算部36は、第1の周期#1において、データ入力部31の出力データ D_1 、今の場合、バイトデータ BD_0 について、ラッチ33の出力データ D_8 、今の場合、ラッチ33の初期値を用いてCRC32演算を行い、演算結果 CRC_{00} を生成し、出力データ D_3 として出力する。なお、ラッチ33には、初期値として、「0」が予め設定されている。したがって、ラッチ33は、演算部36の出力データ D_3 、今の場合、演算結果 CRC_{00} をクロック1個分だけラッチし、図5(2)に示すように、第2の周期#2に出力データ D_8 として出力する。

次に、演算部36は、第2の周期#2において、データ入力部31の出力データD₁、今の場合、バイトデータBD₁について、ラッチ33の出力データD₈、今の場合、演算結果CR₀₀を用いてCRC32演算を行い、演算結果CR₀₁を生成し、出力データD₃として出力する。したがって、ラッチ33は、演算部36の出力データD₃、今の場合、演算結果CR₀₁をクロック1個分だけラッチし、図5(2)に示すように、第3の周期#3に出力データD₈として出力する。

【0041】

同様に、演算部36は、第3の周期#3において、データ入力部31の出力データD₁、今の場合、バイトデータBD₂について、ラッチ33の出力データD₈、今の場合、演算結果CR₀₁を用いてCRC32演算を行い、演算結果CR₀₂を生成し、出力データD₃として出力する。したがって、ラッチ33は、演算部36の出力データD₂、今の場合、演算結果CR₀₂をクロック1個分だけラッチし、図5(2)に示すように、第4の周期#4に出力データD₈として出力する。次に、演算部36は、第4の周期#4において、データ入力部31の出力データD₁、今の場合、バイトデータBD₃について、ラッチ33の出力データD₈、今の場合、演算結果CR₀₂を用いてCRC32演算を行い、演算結果CR₀₃を生成し、出力データD₃として出力する。したがって、ラッチ33は、演算部36の出力データD₃、今の場合、演算結果CR₀₃をクロック1個分だけラッチし、図5(2)に示すように、第5の周期#5に出力データD₈として出力する。この演算結果CR₀₃が演算結果CRC32である。この演算結果CRC32は、上記したように、4個の演算結果ブロックCRC32₀～CRC32₃から構成されている。

【0042】

一方、演算部37は、第1の周期#1において、データ入力部31の出力データD₁、今の場合、バイトデータBD₀について、ラッチ34の出力データD₉、今の場合、ラッチ34の初期値を用いてCRC16演算を行い、演算結果CR₁₀を生成し、図5(3)に示すように、出力データD₄として出力する。なお、ラッチ34には、初期値として、「0」が予め設定されている。これにより、

セレクタ39は、第1の周期#1において、演算部37の出力データD₄、今の場合、演算結果CR₁₀を選択して出力データD₆として出力する。したがって、ラッチ34は、セレクタ39の出力データD₆、今の場合、演算結果CR₁₀をクロック1個分だけラッチし、図5(5)に示すように、第2の周期#2に出力データD₉として出力する。次に、演算部37は、第2の周期#2において、データ入力部31の出力データD₁、今の場合、バイトデータBD₁について、ラッチ34の出力データD₉、今の場合、演算結果CR₁₀を用いてCRC16演算を行い、演算結果CR₁₁を生成し、図5(3)に示すように、出力データD₄として出力する。これにより、セレクタ39は、第2の周期#2において、演算部37の出力データD₄、今の場合、演算結果CR₁₁を選択して出力データD₆として出力する。したがって、ラッチ34は、セレクタ39の出力データD₆、今の場合、演算結果CR₁₁をクロック1個分だけラッチし、図5(5)に示すように、第3の周期#3に出力データD₉として出力する。

【0043】

同様に、演算部37は、第3の周期#3において、データ入力部31の出力データD₁、今の場合、バイトデータBD₂について、ラッチ34の出力データD₉、今の場合、演算結果CR₁₁を用いてCRC16演算を行い、演算結果CR₁₂を生成し、図5(3)に示すように、出力データD₄として出力する。これにより、セレクタ39は、第3の周期#3において、演算部37の出力データD₄、今の場合、演算結果CR₁₂を選択して出力データD₆として出力する。したがって、ラッチ34は、セレクタ39の出力データD₆、今の場合、演算結果CR₁₂をクロック1個分だけラッチし、図5(5)に示すように、第4の周期#4に出力データD₉として出力する。

【0044】

次に、第4の周期#4に至ると、すなわち、入力データD₀を構成する最後のデータであるバイトデータBD₃が検出されると、以下に示す処理が行われる。まず、データ結合部35は、データ入力部31の出力データD₁、今の場合、バイトデータBD₃と、ラッチ33の出力データD₈、今の場合、演算結果CR₀₂とを結合し、図2に示すように、データ入力部31の出力データD₁を下位3

2ビットとし、ラッチ33の出力データD₈を上位32ビットとする合計64ビットの出力データD₂を生成して出力する。これにより、演算部38は、この64ビットの出力データD₂について、ラッチ34の出力データD₉、今の場合、演算結果CR₁₂を用いてCRC16演算を行い、演算結果CR₁₃を生成し、図5(4)に示すように、出力データD₅として出力する。この演算結果CR₁₃が演算結果CRC16である。この演算結果CRC16は、上記したように、2個の演算結果ブロックCRC16₀及びCRC16₁から構成されている。これにより、セレクタ39は、第4の周期#4において、今度は演算部38の出力データD₅、今の場合、演算結果CR₁₃を選択して出力データD₆として出力する。したがって、ラッチ34は、セレクタ39の出力データD₆、今の場合、演算結果CR₁₃をクロック1個分だけラッチし、図5(5)に示すように、第5の周期#5に出力データD₉として出力する。

【0045】

これにより、セレクタ40は、第2～第4の周期#2～#4においては、ラッチ32から出力される32ビットの出力データD₇、今の場合、バイトデータBD₀～BD₂を選択して出力データD₁₀として出力する。また、セレクタ40は、第5の周期#5においては、ラッチ32の出力データD₇、今の場合、データブロックDB₁₂及びDB₁₃と、ラッチ33の出力データD₈、今の場合、演算結果ブロックCRC32₀及びCRC32₁とを新たなバイトデータBD'3に結合し、出力データD₁₀として出力する。さらに、セレクタ40は、第6周期#6においては、ラッチ33の出力データD₈、今の場合、演算結果CRC32を構成する演算結果ブロックCRC32₂及びCRC32₃と、ラッチ34の出力データD₉、今の場合、演算結果CRC16を構成する演算結果ブロックCRC16₀及びCRC16₁とを新たなバイトデータBD₄に結合し、出力データD₁₀として出力する。したがって、データ出力部41は、図5(6)に示すように、セレクタ40から出力される32ビットの出力データD₁₀に対して波形整形など施し、出力データD₁₁として後段の回路要素へ供給する。

【0046】

このように、この例の構成によれば、データ結合部35により、出力データD

₁ の最後のデータであるバイトデータ D_3 と、演算部 36において最終的な演算結果 CRC_{32} が得られる 1 個前の演算結果 CRC_{12} とを結合して 64 ビットの出力データ D_2 を生成している。この 64 ビットの出力データ D_2 について演算部 38において、 CRC_{16} 演算を行うことにより、演算結果 CRC_{16} を得ている。これにより、演算結果 CRC_{32} 及び CRC_{16} を同時に得ることができる。

したがって、この例の構成によれば、従来のように、 CRC_{32} 演算の演算結果 CRC_{32} を求めた後に CRC_{16} 演算をする場合に比べて、データ入力部 31 に入力データ D_0 が入力されてからデータ出力部 41 から出力データ D_{11} が出力されるまでの遅延はクロック 1 個分少なくなる。このため、この例の構成によれば、近年の CPU の動作速度の高速化に伴うデータ通信における信号処理の高速化への要求に十分に応えることができる。

【0047】

B. 第 2 の実施例

次に、この発明の第 2 の実施例について説明する。まず、前提として、この例では、データは、図 6 に示すデータ・フォーマットに従って構成された通信データに組み込まれ、上記高速プロトコルで 4 バイト (32 ビット) ずつ伝送されるものとする。通信データは、図 6 に示すように、ヘッダと、データと、演算結果 $CRC_{16_1} \sim CRC_{16_3}$ とから構成されている。この通信データは、図 7 に示すように、ヘッダ及びデータが n 個 (n は自然数) の 1 バイトずつのデータブロック $DB_0 \sim DB_n$ に分割され、演算結果 CRC_{16_1} が 2 個の 1 バイトずつの演算結果ブロック $CRC_{16_{10}}$ 及び $CRC_{16_{11}}$ に分割されている。また、演算結果 CRC_{16_2} が 2 個の 1 バイトずつの演算結果ブロック CRC_{16_2} 及び $CRC_{16_{21}}$ に分割され、演算結果 CRC_{16_3} が 2 個の 1 バイトずつの演算結果ブロック $CRC_{16_{30}}$ 及び $CRC_{16_{31}}$ に分割されている。そして、 CRC_{16_1} 演算はヘッダ及びデータについて行われ、 CRC_{16_2} 演算はヘッダ、データ及び演算結果 CRC_{16_1} について行われ、 CRC_{16_3} 演算はヘッダ、データ並びに演算結果 CRC_{16_1} 及び CRC_{16_2} について行われる。すなわち、 CRC_{16_2} 演算においては、演算結果 CRC_{16_1} もヘッダやデ

ータと同様に見なされ、CRC16₃演算においては、演算結果CRC16₁及びCRC16₂もヘッダやデータと同様に見なされるのである。

【0048】

図8は、この発明の第2の実施例であるCRC演算回路の構成を示すブロック図である。

この例のCRC演算回路は、データ入力部51と、ラッチ52～55と、データ結合部56及び57と、演算部58～62と、セレクタ63～65と、データ出力部66とから構成されている。

データ入力部51は、32ビットずつの入力データD₀に対して波形整形などを施し、出力データD₁として後段の回路要素に入力するためのインターフェイスである。ラッチ52は、32ビットのフリップフロップからなり、データ処理のタイミングを調整するために設けられている。ラッチ52は、データ入力部51の出力データD₁を外部から供給されるクロック1個分だけラッチし、出力データD₁₁として出力する。データ結合部56は、データ入力部51の出力データD₁と、ラッチ53の出力データD₁₂とを結合し、図9に示すように、データ入力部51の出力データD₁を下位32ビットとし、ラッチ53の出力データD₁₂を上位16ビットとする出力データD₂を生成して出力する。データ結合部57は、データ入力部51の出力データD₁と、ラッチ53の出力データD₁₂と、ラッチ54の出力データD₁₃とを結合し、図10に示すように、データ入力部51の出力データD₁を下位32ビットとし、ラッチ53の出力データD₁₂を中位16ビットとし、ラッチ54の出力データD₁₃を下位16ビットとする出力データD₃を生成して出力する。

【0049】

演算部58は、データ入力部51の出力データD₁について、ラッチ53の出力データD₁₂を用いてCRC16演算を行い、16ビットの演算結果を出力データD₄として出力する。演算部59は、データ入力部51の出力データD₁について、ラッチ54の出力データD₁₃を用いてCRC16演算を行い、16ビットの演算結果を出力データD₅として出力する。演算部60は、データ結合部56の出力データD₂について、ラッチ54の出力データD₁₃を用いてCRC

16演算を行い、16ビットの演算結果を出力データD₆として出力する。演算部61は、データ入力部51の出力データD₁について、ラッチ55の出力データD₁₄を用いてCRC16演算を行い、16ビットの演算結果を出力データD₇として出力する。演算部62は、データ結合部57の出力データD₃について、ラッチ55の出力データD₁₄を用いてCRC16演算を行い、16ビットの演算結果を出力データD₈として出力する。

【0050】

セレクタ63は、演算部59の出力データD₅か、あるいは演算部60の出力データD₆のいずれか一方を選択して出力データD₉として出力する。セレクタ64は、演算部61の出力データD₇か、あるいは演算部62の出力データD₈のいずれか一方を選択して出力データD₁₀として出力する。ラッチ53は、16ビットのフリップフロップからなり、演算部58の出力データD₄をクロック1個分だけラッチし、出力データD₁₂として出力する。ラッチ54は、16ビットのフリップフロップからなり、セレクタ63の出力データD₉をクロック1個分だけラッチし、出力データD₁₃として出力する。ラッチ55は、16ビットのフリップフロップからなり、セレクタ64の出力データD₁₀をクロック1個分だけラッチし、出力データD₁₄として出力する。セレクタ65は、ラッチ52の出力データD₁₁、ラッチ53の出力データD₁₂、ラッチ54の出力データD₁₃、あるいはラッチ55の出力データD₁₄のいずれかを選択して出力データD₁₅として出力する。データ出力部66は、セレクタ65の出力データD₁₅に対して波形整形などを施し、出力データD₁₆として後段の回路要素へ供給するためのインターフェイスである。

【0051】

なお、演算部58、59及び61は、その構成が図23に示す演算式を回路化したものである。また、演算部60は、その構成は図11に示す演算式を回路化したものである。図11において、Z15～Z00はFF27₁₆～FF27₁の初期値であり、R31～R00はラッチ53の出力データD₁₂の各ビットである。また、D31～D00は上記した入力データの各ビットに対応しており、「・」は排他的論理和演算を意味している。

【0052】

図11に示す演算式は、以下に示す手順で生成される。上記したように、演算部60には、図9に示す48ビットのデータが入力される。このため、まず、データ幅48ビットの入力データについてCRC16演算を行う必要がある。この場合の演算結果CRC16は、図22に示す演算部において、48ビット分のデータをシフトするためのクロックを供給した場合の各 $FF_{27_{16}} \sim FF_{27_1}$ の出力データ $C_{15} \sim C_{00}$ に相当する。そこで、図12に演算部60に48ビットの入力データと同じ48ビット分のデータをシフトするためのクロックを供給した場合の各 $FF_{27_{16}} \sim FF_{27_1}$ の出力データ $C_{15} \sim C_{00}$ の演算式を示す。図12において、 $Z_{15} \sim Z_{00}$ は $FF_{27_{16}} \sim FF_{27_1}$ の初期値であり、 $D_{47} \sim D_{00}$ は上記した入力データを構成するビット列 $d_{47}, d_{46}, \dots, d_1, d_0$ に対応しており、「・」は排他的論理和演算を意味している。次に、図9に示すように、データ結合部56の出力データ D_2 のうち、上位16ビットはラッチ53の出力データ D_{12} 、すなわち、演算部58の演算結果CRC16₁である。したがって、図12に示す各演算式の $D_{47} \sim D_{32}$ に図23に示す演算式 $C_{15} \sim C_{00}$ を代入する。そして、得られた各演算式を剰余2に基づいて整理すると、図11に示す演算式が得られる。

【0053】

また、演算部62は、その構成は図22に示す構成と同様であるが、演算式は図13に示す演算式を用いる。図13において、 $R_{15} \sim R_{00}$ は $FF_{27_{16}} \sim FF_{27_1}$ の初期値であり、 $X_{15} \sim X_{00}$ はラッチ53の出力データ D_{12} の各ビット、 $Z_{15} \sim Z_{00}$ はラッチ54の出力データ D_{13} の各ビットである。また、 $D_{31} \sim D_{00}$ は上記した入力データを構成するビット列 $d_{31}, d_{30}, \dots, d_1, d_0$ に対応しており、「・」は排他的論理和演算を意味している。

図13に示す演算式は、以下に示す手順で生成される。上記したように、演算部62には、図10に示す64ビットのデータが入力される。このため、まず、データ幅64ビットの入力データについてCRC16演算を行う必要がある。この場合の演算結果CRC16は、図22に示す演算部において、64ビット分の

データをシフトするためのクロックを供給した場合の各 $F F_{27_16} \sim 27_1$ の出力データ $C_{15} \sim C_{00}$ に相当する。図4は、上記したように、演算部38に64ビットの入力データと同じ64ビット分のデータをシフトするためのクロックを供給した場合の各 $F F_{27_16} \sim 27_1$ の出力データ $C_{15} \sim C_{00}$ の演算式を示している。次に、図10に示すように、データ結合部57の出力データ D_3 のうち、上位16ビットはラッチ54の出力データ D_{13} 、すなわち、演算部60の演算結果 $C R C_{16_2}$ であり、中位16ビットはラッチ53の出力データ D_{12} 、すなわち、演算部58の演算結果 $C R C_{16_1}$ である。したがって、図4に示す各演算式の $D_{63} \sim D_{48}$ に図11に示す演算式 $C_{15} \sim C_{00}$ を代入し、図4に示す各演算式の $D_{47} \sim D_{32}$ に図23に示す演算式 $C_{15} \sim C_{00}$ を代入する。この場合、図4に示す $R_{15} \sim R_{00}$ と、図11及び図23に示す $R_{15} \sim R_{00}$ とを区別するために、後者を $X_{15} \sim X_{00}$ で表す。そして、得られた各演算式を剰余2に基づいて整理すると、図13に示す演算式が得られる。

【0054】

次に、上記構成のCRC演算回路の動作について、図14に示すタイミング・チャートを参照して説明する。まず、説明を簡単にするために、入力データ D_0 は、図14に示すように、バイトデータ $B D_0 \sim B D_3$ からなるものとする。バイトデータ $B D_0$ は各1バイトのデータブロック $D B_0 \sim D B_3$ からなり、バイトデータ $B D_1$ は各1バイトのデータブロック $D B_4 \sim D B_7$ からなる。また、バイトデータ $B D_2$ は各1バイトのデータブロック $D B_8 \sim D B_{11}$ からなり、バイトデータ $B D_3$ は1バイトのデータブロック $D B_{12}$ からなる。

まず、入力データ D_0 が、図14(1)に示すように、第1の周期#1から図示せぬクロックに同期して外部から順次CRC演算回路に供給されると、データ入力部51は、入力データ D_0 に対して波形整形など施し、出力データ D_1 としてラッチ52、データ結合部56及び57並びに演算部58、59及び61へ順次供給する。

【0055】

これにより、ラッチ52は、データ入力部51の出力データ D_1 を外部から供

給されるクロック1個分だけラッチし、第2の周期#2から出力データD₁₁として順次出力する。

また、演算部58は、第1の周期#1において、データ入力部51の出力データD₁、今の場合、バイトデータBD₀について、ラッチ53の出力データD₁₂、今の場合、ラッチ53の初期値を用いてCRC16演算を行い、演算結果CR₀₀を生成し、図14(2)に示すように、出力データD₄として出力する。なお、ラッチ53には、初期値として、「0」が予め設定されている。したがって、ラッチ53は、演算部58の出力データD₄、今の場合、演算結果CR₀₀をクロック1個分だけラッチし、図14(3)に示すように、第2の周期#2に出力データD₁₂として出力する。次に、演算部58は、第2の周期#2において、データ入力部51の出力データD₁、今の場合、バイトデータBD₁について、ラッチ53の出力データD₁₂、今の場合、演算結果CR₀₀を用いてCRC16演算を行い、演算結果CR₀₁を生成し図14(2)に示すように、出力データD₄として出力する。したがって、ラッチ53は、演算部58の出力データD₄、今の場合、演算結果CR₀₁をクロック1個分だけラッチし、図14(3)に示すように、第3の周期#3に出力データD₁₂として出力する。

【0056】

同様に、演算部58は、第3の周期#3において、データ入力部51の出力データD₁、今の場合、バイトデータBD₂について、ラッチ53の出力データD₁₂、今の場合、演算結果CR₀₁を用いてCRC16演算を行い、演算結果CR₀₂を生成し、図14(2)に示すように、出力データD₄として出力する。したがって、ラッチ53は、演算部58の出力データD₄、今の場合、演算結果CR₀₂をクロック1個分だけラッチし、図14(3)に示すように、第4の周期#4に出力データD₈として出力する。次に、演算部58は、第4の周期#4において、データ入力部51の出力データD₁、今の場合、バイトデータBD₃について、ラッチ53の出力データD₁₂、今の場合、演算結果CR₀₂を用いてCRC16演算を行い、演算結果CR₀₃を生成し、図14(2)に示すように、出力データD₄として出力する。したがって、ラッチ53は、演算部58の出力データD₄、今の場合、演算結果CR₀₃をクロック1個分だけラッチし、

図14(3)に示すように、第5の周期#5に出力データD₁₂として出力する。この演算結果CR₀₃が演算結果CRC16₁である。この演算結果CRC16₁は、上記したように、2個の演算結果ブロックCRC16₁₀及びCRC16₁₁から構成されている。

【0057】

また、演算部61は、第1の周期#1において、データ入力部51の出力データD₁、今の場合、バイトデータBD₀について、ラッチ55の出力データD₁₄、今の場合、ラッチ55の初期値を用いてCRC16演算を行い、演算結果CR₂₀を生成し、図14(7)に示すように、出力データD₇として出力する。なお、ラッチ55には、初期値として、「0」が予め設定されている。これにより、セレクタ64は、第1の周期#1において、演算部61の出力データD₇、今の場合、演算結果CR₂₀を選択して出力データD₁₀として出力する。したがって、ラッチ55は、セレクタ64の出力データD₁₀、今の場合、演算結果CR₂₀をクロック1個分だけラッチし、図14(9)に示すように、第2の周期#2に出力データD₁₄として出力する。次に、演算部61は、第2の周期#2において、データ入力部51の出力データD₁、今の場合、バイトデータBD₁について、ラッチ55の出力データD₁₃、今の場合、演算結果CR₂₀を用いてCRC16演算を行い、演算結果CR₂₁を生成し、図14(7)に示すように、出力データD₇として出力する。これにより、セレクタ64は、第2の周期#2において、演算部561出力データD₇、今の場合、演算結果CR₂₁を選択して出力データD₁₀として出力する。したがって、ラッチ55は、セレクタ64の出力データD₁₀、今の場合、演算結果CR₂₁をクロック1個分だけラッチし、図14(9)に示すように、第3の周期#3に出力データD₁₄として出力する。

【0058】

同様に、演算部61は、第3の周期#3において、データ入力部51の出力データD₁、今の場合、バイトデータBD₂について、ラッチ55の出力データD₁₄、今の場合、演算結果CR₂₁を用いてCRC16演算を行い、演算結果CR₂₂を生成し、図14(7)に示すように、出力データD₇として出力する。

これにより、セレクタ64は、第3の周期#3において、演算部61の出力データD₇、今の場合、演算結果CR₂₂を選択して出力データD₁₀として出力する。したがって、ラッチ55は、セレクタ64の出力データD₁₀、今の場合、演算結果CR₂₂をクロック1個分だけラッチし、図14(9)に示すように、第4の周期#4に出力データD₁₄として出力する。

【0059】

次に、第4の周期#4に至ると、すなわち、入力データD₀を構成する最後のデータであるバイトデータBD₃が検出されると、以下に示す処理が行われる。まず、データ結合部57は、データ入力部51の出力データD₁、今の場合、バイトデータBD₃と、ラッチ53の出力データD₁₂、今の場合、演算結果CR₀₂と、ラッチ54の出力データD₁₃、今の場合、演算結果CR₁₂とを結合し、図10に示すように、データ入力部51の出力データD₁を下位32ビットとし、ラッチ53の出力データD₁₂を中位16ビットとし、ラッチ54の出力データD₁₃を下位16ビットとする合計64ビットの出力データD₃を生成して出力する。これにより、演算部62は、この64ビットの出力データD₃について、ラッチ55の出力データD₁₄、今の場合、演算結果CR₂₂を用いてCRC16演算を行い、演算結果CR₂₃を生成し、図14(8)に示すように、出力データD₈として出力する。この演算結果CR₂₃が演算結果CRC16₃である。この演算結果CRC16₃は、上記したように、2個の演算結果ブロックCRC16₃₀及びCRC16₃₁から構成されている。これにより、セレクタ64は、第4の周期#4において、今度は演算部62の出力データD₈、今の場合、演算結果CR₂₃を選択して出力データD₁₀として出力する。したがって、ラッチ55は、セレクタ64の出力データD₁₀、今の場合、演算結果CR₂₃をクロック1個分だけラッチし、図14(9)に示すように、第5の周期#5に出力データD₁₄として出力する。

【0060】

これにより、セレクタ65は、第2～第4の周期#2～#4においては、ラッチ52から出力される32ビットの出力データD₁₁、今の場合、バイトデータBD₀～BD₂を選択して出力データD₁₅として出力する。また、セレクタ6

5は、第5の周期#5においては、ラッチ52の出力データD₁₁、今の場合、データブロックDB₁₂と、ラッチ53の出力データD₁₂、今の場合、演算結果CRC16₁を構成する演算結果ブロックCRC16₁₀及びCRC16₁₁と、ラッチ54の出力データD₁₃、今の場合、演算結果CRC16₂を構成する演算結果ブロックCRC16₂₀とを新たなバイトデータBD'₃に結合し、出力データD₁₅として出力する。さらに、セレクタ65は、第6周期#6においては、ラッチ54の出力データD₁₃、今の場合、演算結果CRC16₂を構成する演算結果ブロックCRC16₂₁と、ラッチ55の出力データD₁₄、今の場合、演算結果CRC16₃を構成する演算結果ブロックCRC16₃₀及びCRC16₃₁とを新たなバイトデータBD₄に結合し、出力データD₁₅として出力する。したがって、データ出力部66は、図14(10)に示すように、セレクタ65から出力される32ビットの出力データD₁₅に対して波形整形など施し、出力データD₁₆として後段の回路要素へ供給する。

【0061】

このように、この例の構成によれば、データ結合部56により、出力データD₁の最後のデータであるバイトデータBD₃と、演算部58において最終的な演算結果CRC16₁が得られる1個前の演算結果CR₀₂とを結合して48ビットの出力データD₂を生成している。そして、この48ビットの出力データD₂について演算部60において、CRC16演算を行うことにより、演算結果CR_{C162}を得ている。同様に、データ結合部57により、出力データD₁の最後のデータであるバイトデータBD₃と、演算部58において最終的な演算結果CRC16₁が得られる1個前の演算結果CR₀₂と、演算部59において最終的な演算結果CRC16₂が得られる1個前の演算結果CR₁₂とを結合して64ビットの出力データD₃を生成している。そして、この64ビットの出力データD₃について演算部62において、CRC16演算を行うことにより、演算結果CRC16₃を得ている。これにより、演算結果CRC16₁～CRC16₃を同時に得ることができる。したがって、データ入力部51に入力データD₀が入力されてからデータ出力部66から出力データD₁₆が出力されるまでの遅延はクロック1個分で済む。

これに対し、図6に示すデータ・フォーマットによりデータを伝送する場合に、「従来の技術」で述べたように、演算結果CRC₁₆₁を求めた後に演算結果CRC₁₆₂を求め、さらに、演算結果CRC₁₆₂を求めた後に演算結果CRC₁₆₃を求めるるとすると、データ入力部51に入力データD₀が入力されてからデータ出力部66から出力データD₁₆が出力されるまでにクロック3個分の遅延が生じてしまう。すなわち、この例の構成によれば、従来に比べて、遅延はクロック2個分少なくなる。このため、この例の構成によれば、近年のCPUの動作速度の高速化に伴うデータ通信における信号処理の高速化への要求に十分に応えることができる。

【0062】

以上、この発明の実施例を図面を参照して詳述してきたが、具体的な構成はこの実施例に限られるものではなく、この発明の要旨を逸脱しない範囲の設計の変更等があってもこの発明に含まれる。

例えば、上述の各実施例においては、通信データは4バイトずつ伝送される例を示したが、これに限定されず、この発明は、通信データは1バイト、2バイト、8バイト、あるいはそれ以上のバイト数で伝送される場合にも適用することができる。

また、上記した第1の実施例においては、ヘッダ及びデータについてCRC₃₂演算を、ヘッダ、データ及び演算結果CRC₃₂についてCRC₁₆演算を行う例を示した。また、上記した第2の実施例においては、ヘッダ及びデータについて第1のCRC₁₆演算を、ヘッダ、データ及び演算結果CRC₁₆₁について第2のCRC₁₆演算を、ヘッダ、データ、演算結果CRC₁₆₁及びCRC₁₆₂について第3のCRC₁₆演算を行う例を示した。しかし、これに限定されず、第1の実施例においては、ヘッダ及びデータについてCRC₁₆演算を、ヘッダ、データ及び演算結果CRC₁₆についてCRC₃₂演算を行っても良い。同様に、第2の実施例においては、ヘッダ及びデータについてCRC₃₂演算を、ヘッダ、データ及び演算結果CRC₃₂について第1のCRC₁₆演算を、ヘッダ、データ、演算結果CRC₃₂及びCRC₁₆₁について第2のCRC₁₆演算を行っても良い。

また、生成多項式は、式(1)及び式(2)に限定されず、どのようなものでも良い。さらに、生成多項式の次数も32次及び16次に限定されず、48次、64次でも良い。加えて、生成多項式の個数も2個に限定されず、3個、4個以上でも良い。

要するに、この発明は、データ等についてCRC演算を2回以上行う場合に適用することができる。

【0063】

【発明の効果】

以上説明したように、この発明の構成によれば、伝送すべきデータの所定ビット数ごとに第1の生成多項式により演算を行う第1の演算処理と、データの所定ビット数ごとに第1の生成多項式と同一の又は異なる少なくとも1個の第2の生成多項式により演算を行う第2の演算処理と、データの所定ビット数と、第1及び第2の演算処理の一方又は両方の途中で得られる少なくとも1個の演算結果とについて少なくとも1個の第2の生成多項式により演算を行う第3の演算処理とを有する。

したがって、この発明の構成によれば、巡回冗長検査演算を高速に行うことができる。

【図面の簡単な説明】

【図1】

この発明の第1の実施例であるCRC演算回路の構成を示すブロック図である

【図2】

同回路を構成するデータ結合部35により生成される出力データD₂のデータフォーマットを示す図である。

【図3】

同回路を構成する演算部38により実現されるCRC16演算の演算式を示す図である。

【図4】

図3に示す演算式を求める課程で得られる演算式を示す図である。

【図5】

同回路の動作の一例を説明するためのタイミング・チャートである。

【図6】

この発明の第2の実施例であるCRC演算回路が適用される通信システムにおいて伝送される通信データのデータ・フォーマットの一例を示す図である。

【図7】

同システムにおいて伝送される通信データの伝送の様子を示す図である。

【図8】

この発明の第2の実施例であるCRC演算回路の構成を示すブロック図である

【図9】

同回路を構成するデータ結合部56により生成される出力データD₂のデータ・フォーマットを示す図である。

【図10】

同回路を構成するデータ結合部57により生成される出力データD₃のデータ・フォーマットを示す図である。

【図11】

同回路を構成する演算部60により実現されるCRC16演算の演算式を示す図である。

【図12】

図11に示す演算式を求める課程で得られる演算式を示す図である。

【図13】

同回路を構成する演算部62により実現されるCRC16演算の演算式を示す図である。

【図14】

同回路の動作の一例を説明するためのタイミング・チャートである。

【図15】

従来のデータ通信システムの構成例を示すブロック図である。

【図16】

同システムにおいて伝送される通信データのデータ・フォーマットの一例を示す図である。

【図17】

同システムにおいて伝送される通信データの伝送の様子を示す図である。

【図18】

従来のCRC演算回路の構成例を示すブロック図である。

【図19】

同回路を構成する演算部19の構成例を示すブロック図である。

【図20】

同演算部19により実現されるCRC32演算の演算式を示す図である。

【図21】

同演算部19により実現されるCRC32演算の演算式を示す図である。

【図22】

同回路を構成する演算部20の構成例を示すブロック図である。

【図23】

同演算部20により実現されるCRC16演算の演算式を示す図である。

【図24】

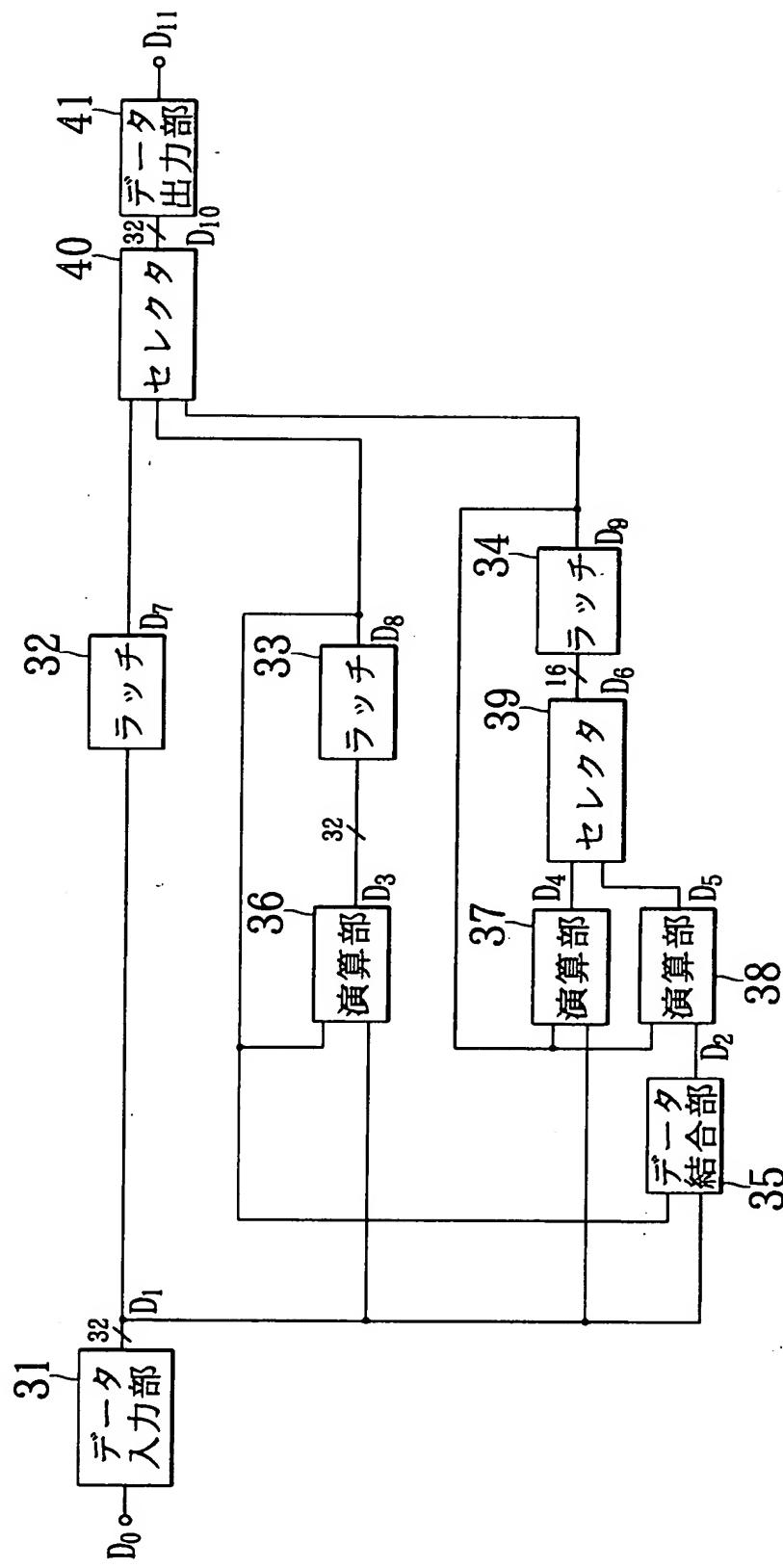
同回路の動作の一例を説明するためのタイミング・チャートである。

【符号の説明】

32～34, 52～55	ラッチ
35, 56, 57	データ結合部
36, 58	演算部（第1の演算部）
37, 59	演算部（第2の演算部）
38, 60	演算部（第3の演算部）
56	データ結合部（第1のデータ結合部）
57	データ結合部（第2のデータ結合部）
61	演算部（第4の演算部）
62	演算部（第5の演算部）
39, 40, 63～65	セレクタ

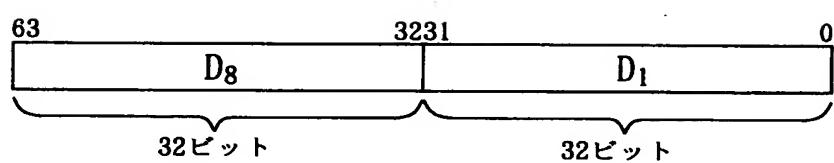
【書類名】 図面

【図1】



特2001-059807

【図2】



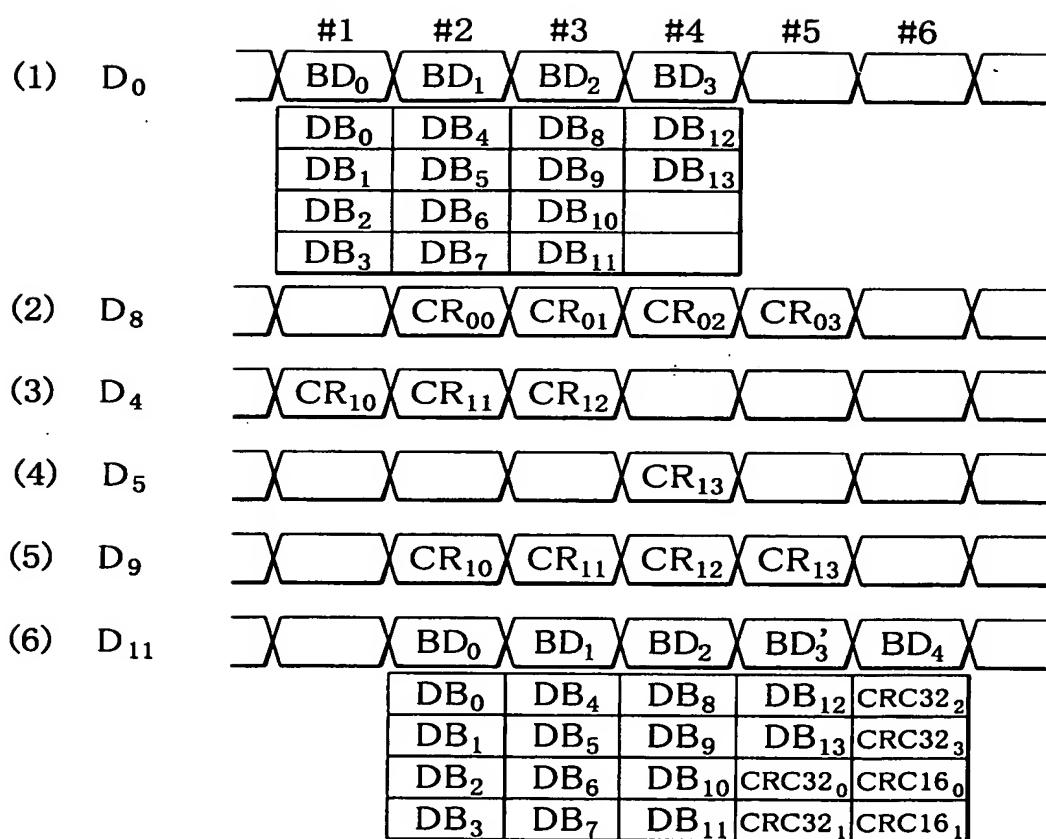
【図3】

C15	Z01・Z03・Z04・Z07・Z08・Z10・Z11・Z12・Z13・Z15・R0・R02・R03・R04・R05・R06・R08・R11・R12・R13・R20・D00・D03・D04・D05・D06・D07・D10・D12・D14・D16・D17・D18・D19・D23・D25・D27・D29・D31
C14	Z00・Z02・Z03・Z06・Z07・Z09・Z10・Z11・Z12・Z14・Z15・R02・R06・R08・R12・R18・R22・R25・R27・R29・R31・D01・D02・D05・D07・D08・D10・D12・D13・D15・D16・D19・D23・D30
C13	Z01・Z02・Z05・Z06・Z08・Z09・Z10・Z11・Z13・Z14・Z15・R00・R01・R05・R07・R09・R10・R12・R13・R14・R15・D01・D02・D03・D04・D05・D08・D13・D14・D15・D16・D21・D22・D26・D27・D29・D30・D31
C12	Z00・Z01・Z04・Z05・Z07・Z08・Z09・Z10・Z12・Z13・Z14・Z15・R00・R01・R02・R03・R04・R08・R10・R13・R15・R21・R22・R23・R24・D01・D03・D07・D10・D14・D15・D17・D19・D21・D23・D24・D26・D28・D29
C11	Z00・Z01・Z06・Z09・Z10・Z14・R03・R04・R05・R07・R08・R11・R13・R15・R16・R18・R20・R22・R23・R25・R26・R27・R28・R29・R31・D00・D01・D03・D04・D08・D09・D10・D11・D13・D14・D17・D18・D23・D25・D27・D28・D30
C10	Z00・Z05・Z08・Z09・Z13・R00・R03・R04・R07・R09・R11・R12・R15・R17・R18・R25・R27・R29・R30・R31・D00・D01・D02・D07・D09・D14・D18・D21・D22・D24・D25・D26・D27・D30
C09	Z04・Z07・Z08・Z12・Z15・R02・R04・R05・R07・R12・R16・R20・R21・R22・R23・R25・R27・R30・R31・D03・D05・D07・D11・D13・D15・D18・D19・D21・D24・D25・D27・D29・D30
C08	Z03・Z06・Z07・Z11・Z14・Z15・R02・R09・R10・R11・R12・R13・R14・R16・R17・R18・R19・R21・R22・R24・R25・R27・R29・D01・D05・D07・D09・D14・D15・D16・D17・D19・D21・D23・D27・D29
C07	Z02・Z05・Z06・Z10・Z13・Z14・Z15・R00・R01・R02・R03・R04・R05・R08・R09・R10・R11・R12・R13・R15・R17・R20・R21・R22・R23・R26・R27・R30・R31・D05・D08・D09・D10・D11・D12・D14・D17・D18・D19・D22・D24・D26・D27・D31
C06	Z01・Z04・Z05・Z09・Z12・Z13・Z14・R07・R08・R10・R12・R14・R15・R19・R22・R27・R28・R29・R30・D00・D02・D03・D04・D06・D11・D13・D14・D16・D20・D22・D23・D25・D29
C05	Z00・Z03・Z04・Z08・Z11・Z12・Z13・R00・R03・R04・R05・R08・R09・R10・R14・R16・R18・R19・R20・R28・R29・R31・D00・D02・D04・D05・D07・D09・D17・D21・D23・D24・D26・D27・D28・D29・D30・D31
C04	Z02・Z03・Z07・Z10・Z11・Z12・Z15・R02・R06・R12・R14・R17・R18・R20・R22・R23・R28・D00・D02・D03・D04・D05・D10・D11・D12・D13・D14・D17・D19・D20・D23・D25・D26・D27・D29・D31
C03	Z01・Z02・Z06・Z08・Z10・Z11・Z14・R01・R02・R04・R06・R07・R08・R09・R13・R14・R15・R16・R21・R24・R28・R29・D04・D05・D06・D10・D14・D15・D16・D17・D18・D19・D20・D21・D22・D23・D24・D26・D28・D29・D30
C02	Z00・Z03・Z04・Z05・Z07・Z09・Z11・Z12・R01・R02・R03・R04・R05・R08・R09・R11・R13・R14・R15・R17・R19・R20・R23・R24・R26・R27・R28・R29・R30・D01・D04・D05・D07・D08・D14・D15・D16・D18・D19・D21・D22・D23・D26・D27・D28
C01	Z02・Z03・Z04・Z06・Z08・Z10・Z11・Z15・R00・R01・R02・R04・R07・R08・R11・R14・R15・R18・R20・R21・R22・R23・R25・R28・R30・D00・D01・D03・D05・D07・D08・D12・D16・D17・D19・D22・D23・D24・D26・D29・D31
C00	Z02・Z04・Z05・Z08・Z09・Z11・Z12・Z13・Z14・R01・R04・R05・R06・R08・R10・R13・R14・R19・R22・R24・R28・R31・D00・D01・D02・D04・D06・D09・D12・D13・D19・D20・D21・D25・D27・D29・D30・D31

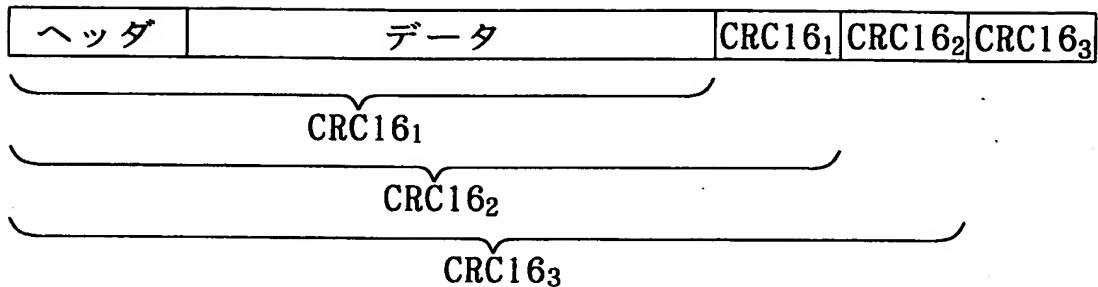
【図4】

C15	R01・R03・R04・R07・R08・R10・R11・R12・R13・R15・D00・D02・D03・D04・D05・D07・D08・D11・D12・D14・D18・D19・D20・D21・D23・D27・D30・D32・D33・D35・D36・D38・D41・D43・D44・D49・D51・D52・D56・D60
C14	R00・R02・R03・R06・R07・R09・R10・R11・R12・R14・R15・D00・D01・D03・D04・D05・D06・D08・D09・D12・D13・D15・D19・D20・D21・D22・D24・D28・D31・D33・D34・D36・D37・D39・D42・D44・D45・D50・D52・D53・D57・D61
C13	R01・R02・R05・R06・R08・R09・R10・R11・R13・R14・R15・D00・D01・D02・D04・D05・D06・D07・D09・D10・D13・D14・D16・D20・D21・D22・D23・D25・D29・D32・D34・D35・D37・D38・D40・D43・D45・D46・D51・D53・D54・D58・D62
C12	R00・R01・R04・R05・R07・R08・R09・R10・R12・R13・R14・R15・D00・D01・D02・D03・D05・D06・D07・D08・D10・D11・D14・D15・D17・D21・D22・D23・D24・D26・D30・D33・D35・D36・D38・D39・D41・D44・D46・D47・D52・D54・D55・D59・D63
C11	R00・R01・R06・R09・R10・R14・D01・D05・D06・D09・D14・D15・D16・D19・D20・D21・D22・D24・D30・D31・D32・D33・D34・D35・D37・D38・D39・D40・D41・D42・D43・D44・D45・D47・D48・D49・D51・D52・D53・D55
C10	R00・R05・R08・R09・R13・D02・D06・D07・D10・D15・D16・D17・D20・D21・D22・D23・D25・D26・D31・D32・D33・D34・D35・D36・D38・D39・D40・D41・D42・D43・D44・D45・D46・D48・D49・D50・D52・D53・D54・D56
C09	R04・R07・R08・R12・R15・D00・D03・D07・D08・D11・D16・D17・D18・D21・D22・D23・D24・D26・D27・D32・D33・D34・D35・D36・D37・D39・D40・D41・D42・D43・D44・D45・D46・D47・D49・D50・D51・D53・D54・D55・D57
C08	R03・R06・R07・R11・R14・R15・D00・D01・D04・D08・D09・D12・D17・D18・D19・D22・D23・D24・D25・D27・D28・D33・D34・D35・D36・D37・D38・D40・D41・D42・D43・D44・D45・D46・D47・D48・D50・D51・D52・D54・D55・D56・D58
C07	R02・R05・R06・R10・R13・R14・R15・D00・D01・D02・D05・D09・D10・D13・D18・D19・D20・D23・D24・D25・D26・D28・D29・D34・D35・D36・D37・D38・D39・D41・D42・D43・D44・D45・D46・D47・D48・D49・D51・D52・D53・D55・D56・D57・D59
C06	R01・R04・R05・R09・R12・R13・R14・D01・D02・D03・D06・D10・D11・D14・D19・D20・D21・D24・D25・D26・D27・D29・D30・D35・D36・D37・D38・D39・D40・D42・D43・D44・D45・D46・D47・D48・D49・D50・D52・D53・D54・D56・D57・D58・D60
C05	R00・R03・R04・R08・R11・R12・R13・D02・D03・D04・D07・D11・D12・D15・D20・D21・D22・D25・D26・D27・D28・D30・D31・D36・D37・D38・D39・D40・D41・D43・D44・D45・D46・D47・D48・D49・D50・D51・D53・D54・D55・D57・D58・D59・D61
C04	R02・R03・R07・R10・R11・R12・R15・D00・D03・D04・D05・D08・D12・D13・D16・D21・D22・D23・D26・D27・D28・D29・D31・D32・D37・D38・D39・D40・D41・D42・D44・D45・D46・D47・D48・D49・D50・D51・D52・D54・D55・D56・D58・D59・D60・D62
C03	R01・R02・R06・R09・R10・R11・R14・D01・D04・D05・D06・D09・D13・D14・D17・D22・D23・D24・D27・D28・D29・D30・D32・D33・D38・D39・D40・D41・D42・D43・D45・D46・D47・D48・D49・D50・D51・D52・D53・D55・D56・D57・D59・D60・D61・D63
C02	R00・R03・R04・R05・R07・R09・R11・R12・D03・D04・D06・D08・D10・D11・D12・D15・D19・D20・D21・D24・D25・D27・D28・D29・D31・D32・D34・D35・D36・D38・D39・D40・D42・D46・D47・D48・D50・D53・D54・D57・D58・D61・D62
C01	R02・R03・R04・R06・R08・R10・R11・R15・D00・D04・D05・D07・D09・D11・D12・D13・D16・D20・D21・D22・D25・D26・D28・D29・D30・D32・D33・D35・D36・D37・D39・D40・D41・D43・D47・D48・D49・D51・D54・D55・D58・D59・D62・D63
C00	R02・R04・R05・R08・R09・R11・R12・R13・R14・D01・D02・D03・D04・D06・D07・D10・D11・D13・D17・D18・D19・D20・D22・D26・D29・D31・D32・D34・D35・D37・D40・D42・D43・D48・D50・D51・D55・D59・D63

【図5】



【図6】

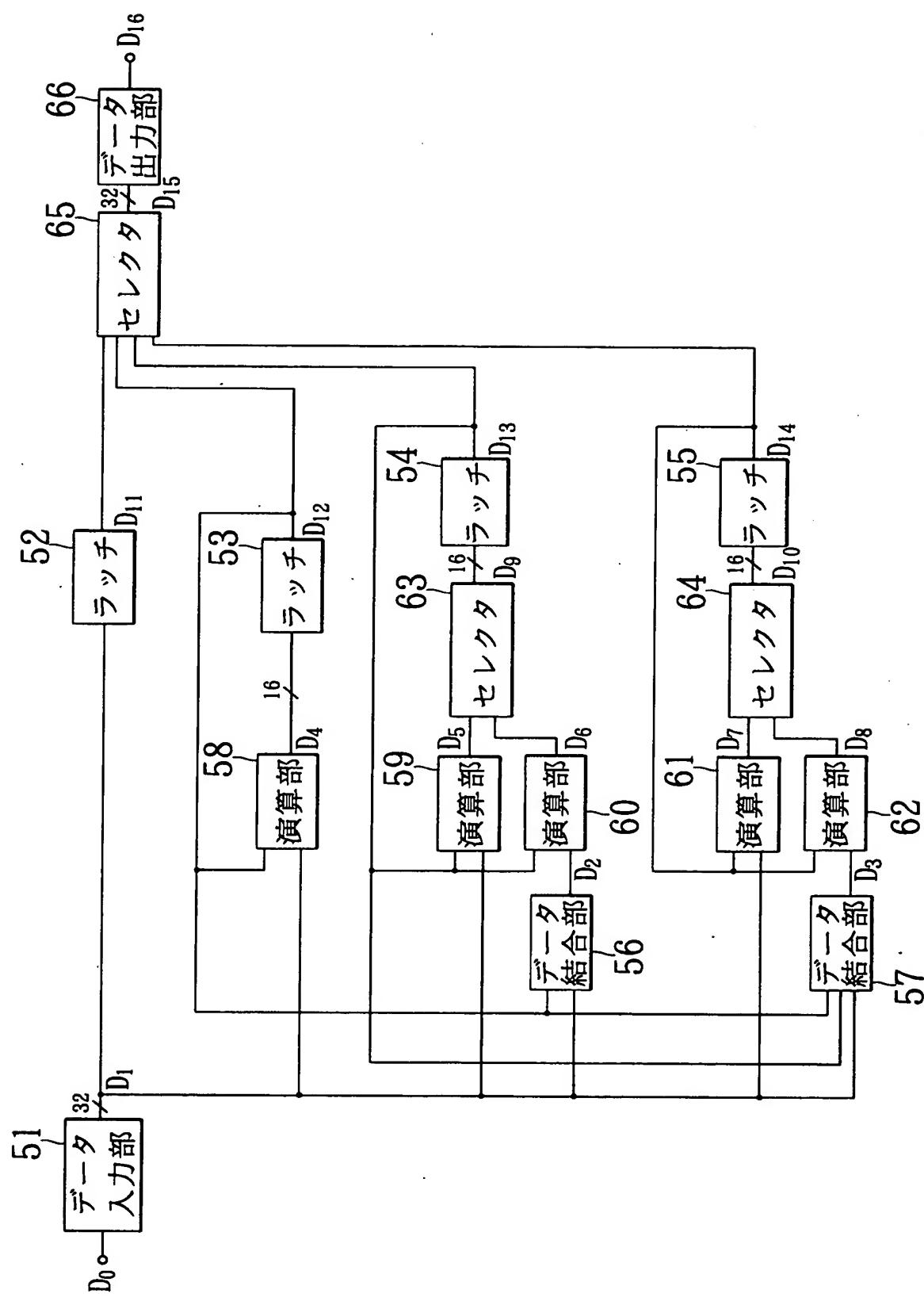


【図7】

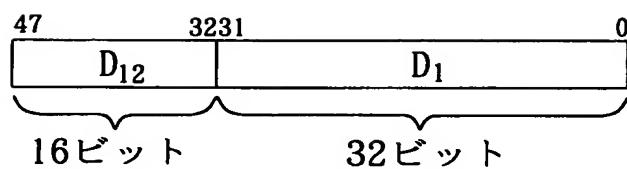
1バイト

#1	DB ₀	DB ₁	DB ₂	DB ₃
#2	DB ₄	DB ₅	DB ₆	DB ₇
#3	DB ₈	DB ₉	DB ₁₀	DB ₁₁
#k-2	DB _{n-4}	DB _{n-3}	DB _{n-2}	DB _{n-1}
#k-1	DB _n	CRC16 ₁₀	CRC16 ₁₁	CRC16 ₂₀
#k	CRC16 ₂₁	CRC16 ₃₀	CRC16 ₃₁	

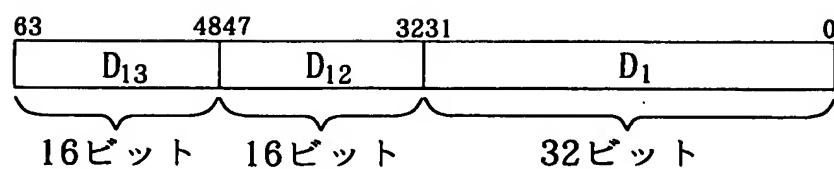
【図8】



【図9】



【図10】



【図11】

C15	Z01・Z04・Z08・Z10・Z11・Z12・Z13・ R00・R02・R03・R04・R05・R06・R10・R11・R12・R13・R15・ D00・D07・D09・D10・D12・D13・D14・D15・D16・D18・D19・D20・D21・D22・D23・D24・D26・D27・ D28・D29・D31
C14	Z00・Z03・Z07・Z09・Z10・Z11・Z12・ R01・R03・R04・R05・R06・R07・R11・R12・R13・R14・ D01・D02・D05・D06・D09・D10・D11・D14・D15・D16・D18・D21・D22・D24・D25・D26・D29・D30
C13	Z02・Z06・Z08・Z09・Z10・Z11・Z15・ R00・R02・R06・R08・R10・R14・ D00・D01・D04・D06・D15・D16・D19・D27・D30・D31
C12	Z01・Z05・Z07・Z08・Z09・Z10・Z14・ R01・R03・R07・R09・R11・R15・ D00・D01・D04・D05・D07・D10・D12・D19・D21・D22・D25・D31
C11	Z00・Z01・Z06・Z07・Z09・Z10・Z11・Z12・Z15・ R00・R03・R04・R06・R07・R08・R10・R11・R12・ D00・D06・D07・D11・D12・D14・D16・D18・D19・D20・D23・D27・D28・D29
C10	Z00・Z05・Z06・Z08・Z09・Z10・Z11・Z14・Z15・ R01・R04・R05・R07・R08・R09・R11・R12・R13・ D00・D01・D02・D03・D05・D08・D09・D11・D14・D15・D17・D18・D21・D22・D26・D27・D28・D29
C09	Z04・Z05・Z07・Z08・Z09・Z10・Z13・Z14・Z15・ R00・R02・R05・R06・R08・R09・R10・R12・R13・R14・ D00・D03・D08・D09・D11・D13・D15・D16・D17・D21・D22・D25・D26・D27・D28・D30・D31
C08	Z03・Z04・Z06・Z07・Z08・Z09・Z12・Z13・Z14・ R01・R03・R06・R07・R09・R10・R11・R13・R14・R15・ D00・D03・D04・D05・D07・D11・D14・D20・D23・D24・D25・D26・D27・D29・D30・D31
C07	Z02・Z03・Z05・Z06・Z07・Z08・Z11・Z12・Z13・ R02・R05・R08・R11・R13・R14・ D01・D03・D08・D09・D12・D17・D18・D25・D26・D27・D28・D29・D30
C06	Z01・Z02・Z04・Z05・Z06・Z07・Z10・Z11・Z12・ R03・R04・R05・R06・R07・R09・R10・R13・R14・ D01・D02・D03・D04・D06・D12・D13・D14・D19・D24・D26・D28・D29
C05	Z00・Z01・Z03・Z04・Z05・Z06・Z09・Z10・Z11・ R06・R08・R11・R12・R13・R14・ D01・D02・D03・D05・D06・D07・D10・D11・D12・D14・D15・D16・D18・D24・D25・D26・D28
C04	Z00・Z02・Z03・Z04・Z05・Z06・Z08・Z09・Z10・Z15・ R00・R07・R09・R12・R13・R14・R15・ D01・D02・D03・D05・D07・D08・D10・D11・D12・D13・D16・D17・D19・D20・D23・D24・D31
C03	Z01・Z02・Z03・Z04・Z07・Z08・Z09・Z14・ R01・R08・R10・R13・R14・R15・ D00・D02・D05・D06・D08・D11・D12・D13・D17・D18・D19・D20・D21・D22・D23・D26・D28・D30・ D31
C02	Z00・Z02・Z03・Z04・Z06・Z07・Z10・Z11・Z12・ R03・R06・R07・R09・R14・R15・ D00・D01・D03・D04・D05・D06・D11・D13・D15・D19・D21・D22・D24・D25・D26・D28・D29・D30
C01	Z01・Z02・Z03・Z05・Z06・Z08・Z09・Z10・Z11・Z15・ R00・R05・R08・R12・R13・ D00・D02・D03・D04・D05・D06・D07・D09・D12・D13・D14・D15・D18・D19・D21・D22・D25・D27・ D28・D30
C00	Z00・Z02・Z05・Z09・Z11・Z12・Z13・Z14・ R01・R02・R03・R04・R05・R09・R10・R11・R12・R14・R15・ D00・D02・D05・D11・D12・D14・D15・D21・D22・D25・D30

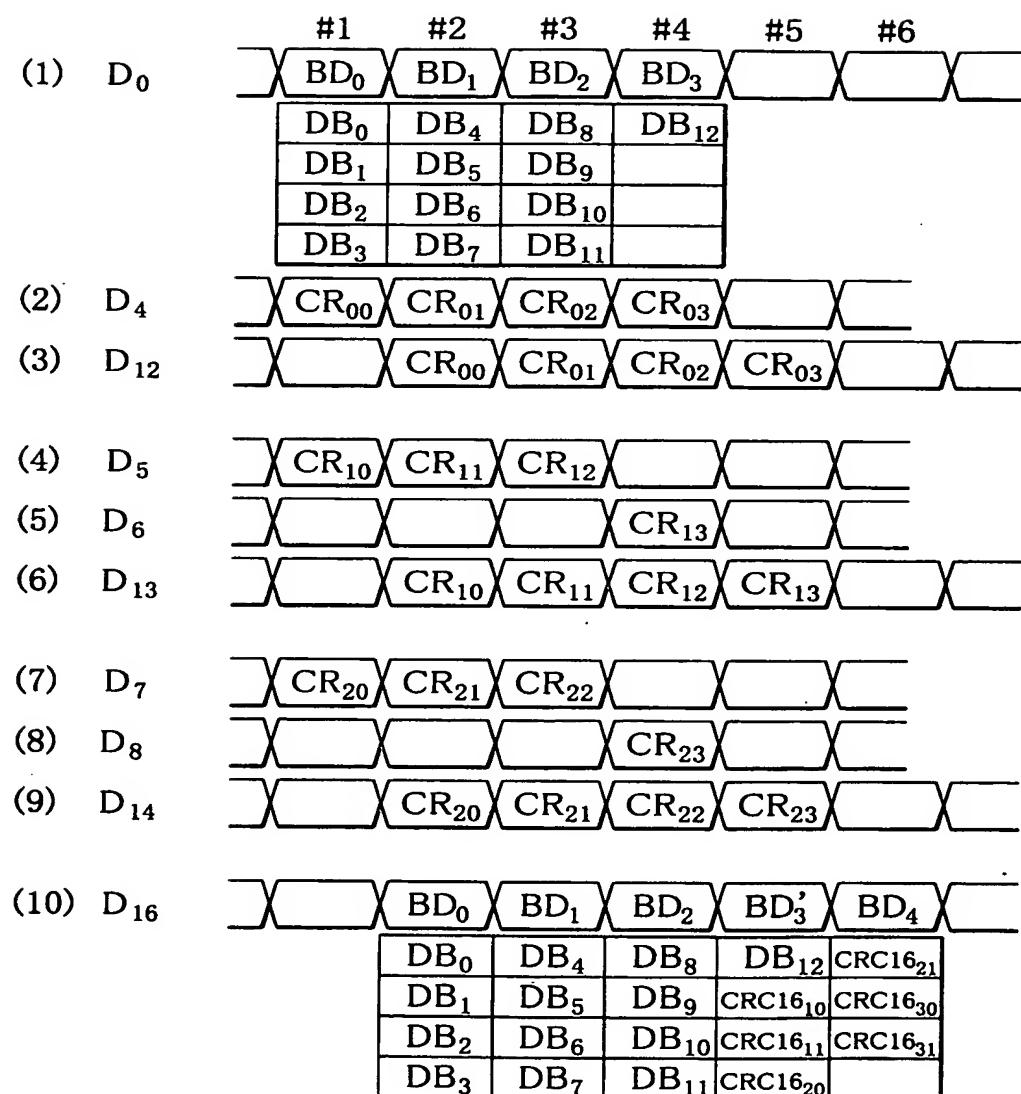
【図12】

C15	Z01・Z04・Z08・Z10・Z11・Z12・Z13・ D02・D03・D04・D05・D07・D11・D14・D16・D17・D19・D20・D22・D25・D27・D28・D33・ D35・D36・D40・D44
C14	Z00・Z03・Z07・Z09・Z10・Z11・Z12・ D03・D04・D05・D06・D08・D12・D15・D17・D18・D20・D21・D23・D26・D28・D29・D34・ D36・D37・D41・D45
C13	Z02・Z06・Z08・Z09・Z10・Z11・Z15・ D00・D04・D05・D06・D07・D09・D13・D16・D18・D19・D21・D22・D24・D27・D29・D30・ D35・D37・D38・D42・D46
C12	Z01・Z05・Z07・Z08・Z09・Z10・Z14・ D01・D05・D06・D07・D08・D10・D14・D17・D19・D20・D22・D23・D25・D28・D30・D31・ D36・D38・D39・D43・D47
C11	Z00・Z01・Z06・Z07・Z09・Z10・Z11・Z12・Z15・ D00・D03・D04・D05・D06・D08・D09・D14・D15・D16・D17・D18・D19・D21・D22・D23・ D24・D25・D26・D27・D28・D29・D31・D32・D33・D35・D36・D37・D39
C10	Z00・Z05・Z06・Z08・Z09・Z10・Z11・Z14・Z15・ D00・D01・D04・D05・D06・D07・D09・D10・D15・D16・D17・D18・D19・D20・D22・D23・ D24・D25・D26・D27・D28・D29・D30・D32・D33・D34・D36・D37・D38・D40
C09	Z04・Z05・Z07・Z08・Z09・Z10・Z13・Z14・Z15・ D00・D01・D02・D05・D06・D07・D08・D10・D11・D16・D17・D18・D19・D20・D21・D23・ D24・D25・D26・D27・D28・D29・D30・D31・D33・D34・D35・D37・D38・D39・D41
C08	Z03・Z04・Z06・Z07・Z08・Z09・Z12・Z13・Z14・ D01・D02・D03・D06・D07・D08・D09・D11・D12・D17・D18・D19・D20・D21・D22・D24・ D25・D26・D27・D28・D29・D30・D31・D32・D34・D35・D36・D38・D39・D40・D42
C07	Z02・Z03・Z05・Z06・Z07・Z08・Z11・Z12・Z13・ D02・D03・D04・D07・D08・D09・D10・D12・D13・D18・D19・D20・D21・D22・D23・D25・ D26・D27・D28・D29・D30・D31・D32・D33・D35・D36・D37・D39・D40・D41・D43
C06	Z01・Z02・Z04・Z05・Z06・Z07・Z10・Z11・Z12・ D03・D04・D05・D08・D09・D10・D11・D13・D14・D19・D20・D21・D22・D23・D24・D26・ D27・D28・D29・D30・D31・D32・D33・D34・D36・D37・D38・D40・D41・D42・D44
C05	Z00・Z01・Z03・Z04・Z05・Z06・Z08・Z10・Z11・ D04・D05・D06・D09・D10・D11・D12・D14・D15・D20・D21・D22・D23・D24・D25・D27・ D28・D29・D30・D31・D32・D33・D34・D35・D37・D38・D39・D41・D42・D43・D45
C04	Z00・Z02・Z03・Z04・Z05・Z08・Z09・Z10・Z15・D00・D05・D06・D07・D10・D11・D12・D13・ D15・D16・D21・D22・D23・D24・D25・D26・D28・D29・D30・D31・D32・D33・D34・D35・ D36・D38・D39・D40・D42・D43・D44・D46
C03	Z01・Z02・Z03・Z04・Z07・Z08・Z09・Z14・ D01・D06・D07・D08・D11・D12・D13・D14・D16・D17・D22・D23・D24・D25・D26・D27・ D29・D30・D31・D32・D33・D34・D35・D36・D37・D39・D40・D41・D43・D44・D45・D47
C02	Z00・Z02・Z03・Z04・Z06・Z07・Z10・Z11・Z12・ D03・D04・D05・D08・D09・D11・D12・D13・D15・D16・D18・D19・D20・D22・D23・D24・ D26・D30・D31・D32・D34・D37・D38・D41・D42・D45・D46・
C01	Z01・Z02・Z03・Z05・Z06・Z09・Z10・Z11・Z15・ D00・D04・D05・D06・D09・D10・D12・D13・D14・D16・D17・D19・D20・D21・D23・D24・ D25・D27・D31・D32・D33・D35・D38・D39・D42・D43・D46・D47
C00	Z00・Z02・Z05・Z09・Z11・Z12・Z13・Z14・ D01・D02・D03・D04・D06・D10・D13・D15・D16・D18・D19・D21・D24・D26・D27・D32・ D34・D35・D39・D43・D47

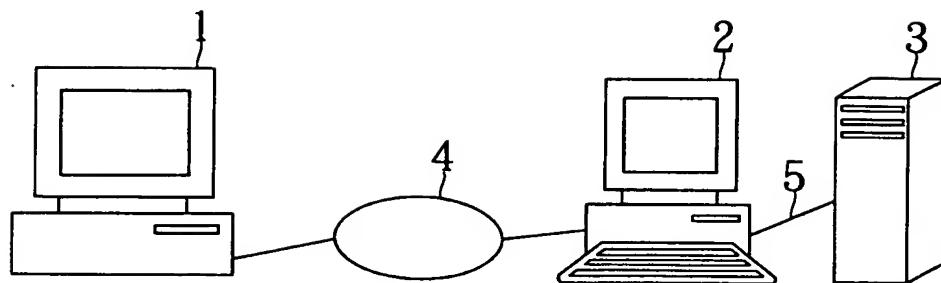
【図13】

C15	R01・R03・R04・R07・R08・R10・R11・R12・R13・R15・Z03・Z04・Z05・Z08・Z10・Z11・Z12・X01・X05・X06・X07・X09・X14・D00・D01・D02・D06・D09・D16・D19・D20・D23・D24・D26・D28
C14	R00・R02・R03・R06・R07・R09・R10・R11・R12・R14・R15・Z00・Z04・Z05・Z08・Z09・Z11・Z12・Z13・X00・X03・X05・X08・X09・X11・X12・X13・X14・D00・D03・D04・D05・D06・D07・D08・D11・D13・D15・D17・D18・D19・D24・D27・D28・D29・D30
C13	R01・R02・R05・R06・R08・R09・R10・R11・R13・R14・R15・Z00・Z01・Z02・Z06・Z07・Z09・Z10・Z11・X01・X04・X05・X06・X07・X08・X11・X12・X13・X15・D01・D03・D04・D09・D11・D14・D15・D18・D20・D21・D22・D23・D31
C12	R00・R01・R04・R05・R07・R08・R09・R10・R12・R13・R14・R15・Z00・Z01・Z02・Z03・Z04・Z05・Z08・Z11・Z13・Z15・X00・X03・X04・X05・X06・X07・X10・X11・X12・X14・D06・D09・D10・D11・D13・D15・D21・D22・D24・D26・D31
C11	R00・R01・R06・R09・R10・R14・Z00・Z01・Z04・Z06・Z07・Z08・Z15・X03・X04・X05・X06・X07・X11・X13・X14・X15・D02・D04・D05・D06・D07・D09・D10・D12・D16・D20・D21・D22・D23・D24・D25・D26・D28・D31
C10	R00・R05・R08・R09・R13・Z01・Z02・Z04・Z08・Z09・Z10・Z12・Z13・Z15・X02・X05・X09・X10・X11・X13・D00・D02・D03・D04・D06・D11・D14・D15・D16・D18・D19・D21・D22・D24・D26・D28・D31
C09	R04・R07・R08・R12・R15・Z02・Z03・Z05・Z09・Z10・Z11・Z13・Z14・X01・X04・X08・X09・X10・X12・D00・D01・D02・D04・D08・D10・D12・D13・D14・D16・D17・D19・D25・D26・D27・D29・D30
C08	R03・R06・R07・R11・R14・R15・Z03・Z04・Z06・Z10・Z11・Z12・Z14・Z15・X00・X04・X06・X07・X08・X12・X14・X15・D00・D01・D05・D07・D09・D15・D18・D21・D22・D24・D25・D26・D27・D29・D30
C07	R02・R05・R06・R10・R13・R14・R15・Z00・Z02・Z05・Z09・Z10・Z12・Z13・Z14・X01・X02・X03・X07・X10・X11・X13・X14・D00・D01・D02・D03・D04・D05・D06・D08・D09・D12・D13・D14・D15・D17・D19・D26・D28・D30
C06	R01・R04・R05・R09・R12・R13・R14・Z00・Z01・Z02・Z03・Z04・Z06・Z07・Z09・Z13・X00・X03・X04・X05・X06・X11・X13・X14・X15・D00・D02・D03・D04・D08・D11・D13・D16・D17・D20・D21・D22・D23・D24・D25
C05	R00・R03・R04・R08・R11・R12・R13・Z00・Z01・Z03・Z04・Z07・Z08・Z09・Z10・Z11・Z12・Z13・X01・X09・X11・X13・X15・D00・D02・D04・D05・D08・D17・D20・D23・D26・D27・D28・D29・D31
C04	R02・R03・R07・R10・R11・R12・R15・Z01・Z02・Z07・Z08・Z09・Z11・Z14・Z15・X00・X03・X04・X06・X08・X09・X10・X11・D01・D03・D04・D08・D11・D14・D15・D18・D20・D21・D22・D23・D31
C03	R01・R02・R06・R09・R10・R11・R14・Z00・Z02・Z03・Z04・Z05・Z07・Z08・Z09・Z13・X02・X04・X05・X06・X07・X08・X10・X11・X12・X14・X15・D00・D02・D03・D12・D13・D14・D15・D16・D24・D26・D27・D28・D29・D30・D31
C02	R00・R03・R04・R05・R07・R09・R11・R12・Z00・Z01・Z02・Z04・Z06・Z07・Z10・Z12・Z15・X01・X02・X05・X09・X12・X13・X14・D00・D01・D02・D03・D04・D05・D09・D12・D18・D20・D23・D25・D30・D31
C01	R02・R03・R04・R06・R08・R10・R11・R15・Z01・Z03・Z07・Z08・Z09・Z12・Z14・X00・X02・X03・X05・X08・X09・X10・X13・X14・X15・D02・D03・D04・D07・D08・D09・D10・D11・D12・D14・D15・D17・D18・D19・D25・D26・D27・D28・D29・D31・
C00	R02・R04・R05・R08・R09・R11・R12・R13・R14・Z02・Z03・Z04・Z07・Z08・Z10・Z11・X02・X04・X05・X06・X08・X12・X13・D01・D05・D06・D08・D09・D11・D12・D13・D16・D17・D18・D21・D22・D24・D30・D31

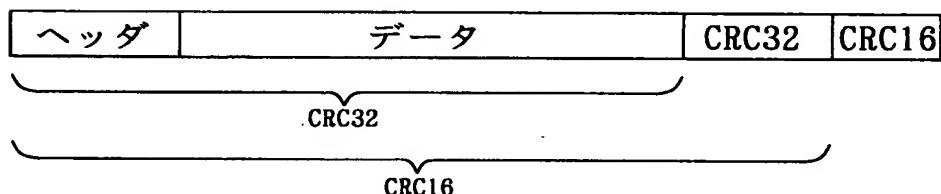
【図14】



【図15】



【図16】

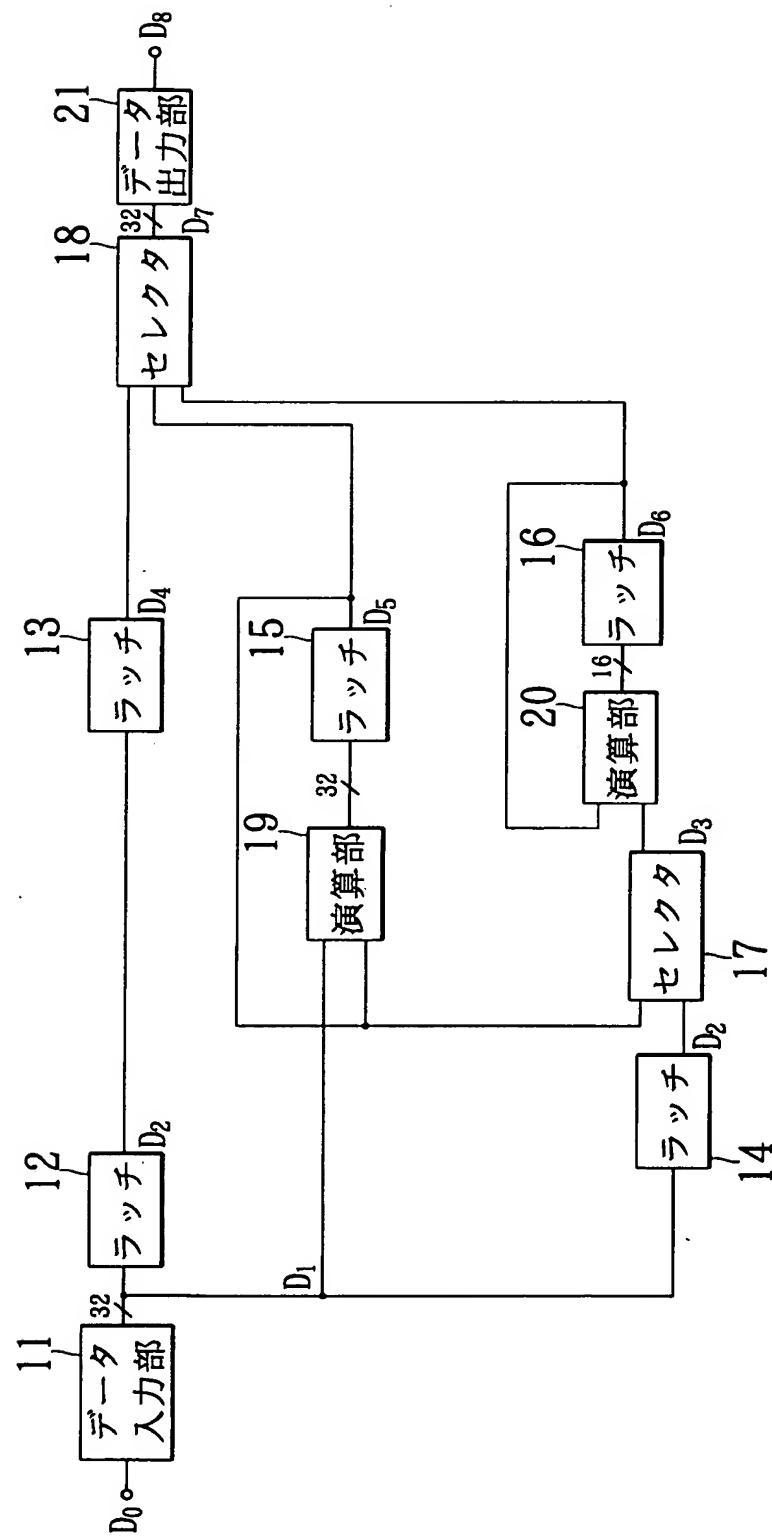


【図17】

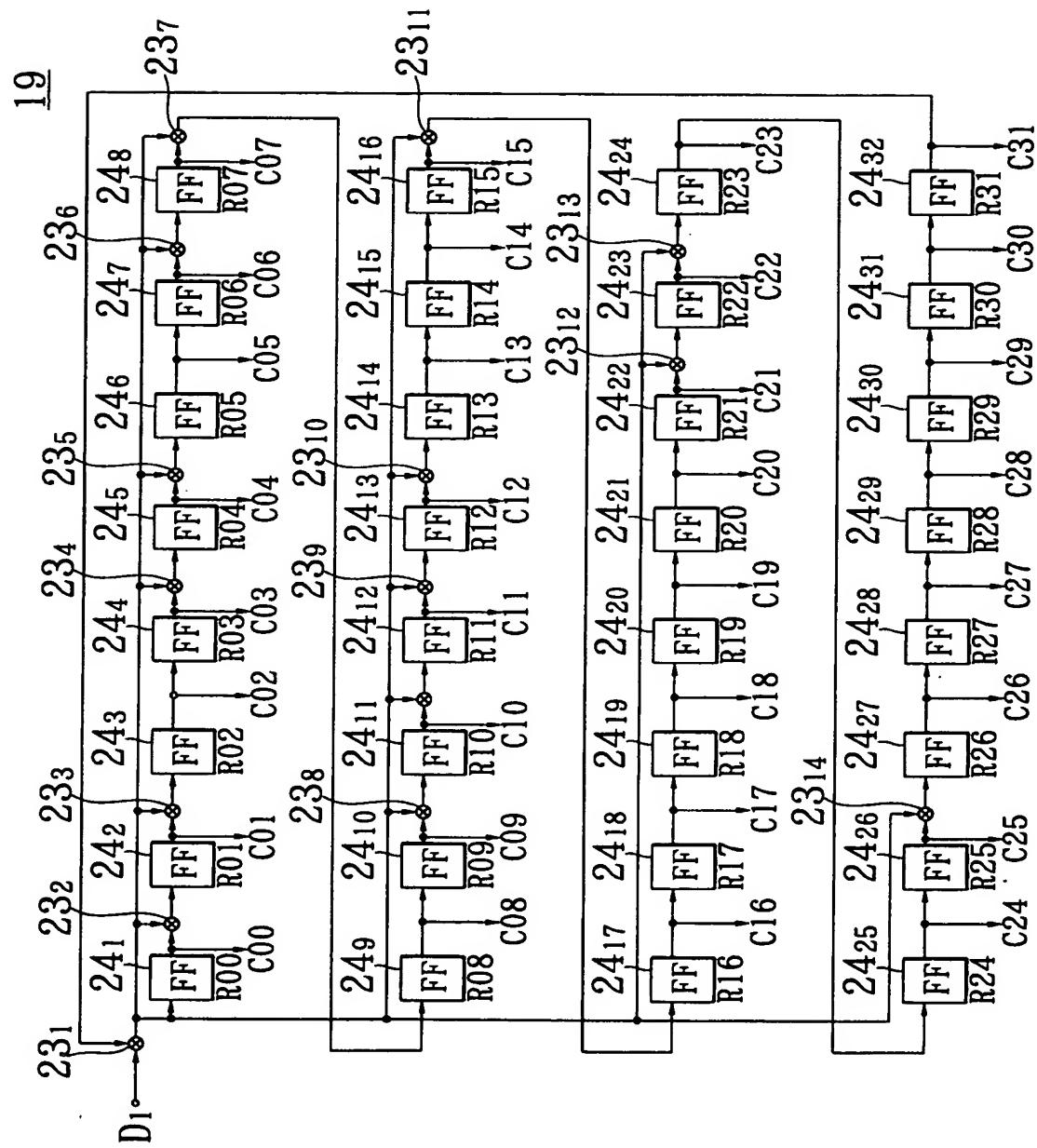
Diagram illustrating the structure of a data frame, showing multiple rows of data and their corresponding CRC values.

	1バイト			
#1	DB ₀	DB ₁	DB ₂	DB ₃
#2	DB ₄	DB ₅	DB ₆	DB ₇
#3	DB ₈	DB ₉	DB ₁₀	DB ₁₁
⋮				
#k-2	DB _{n-5}	DB _{n-4}	DB _{n-3}	DB _{n-2}
#k-1	DB _{n-1}	DB _n	CRC32 ₀	CRC32 ₁
#k	CRC32 ₂	CRC32 ₃	CRC16 ₀	CRC16 ₁

【図18】



〔図19〕



【図20】

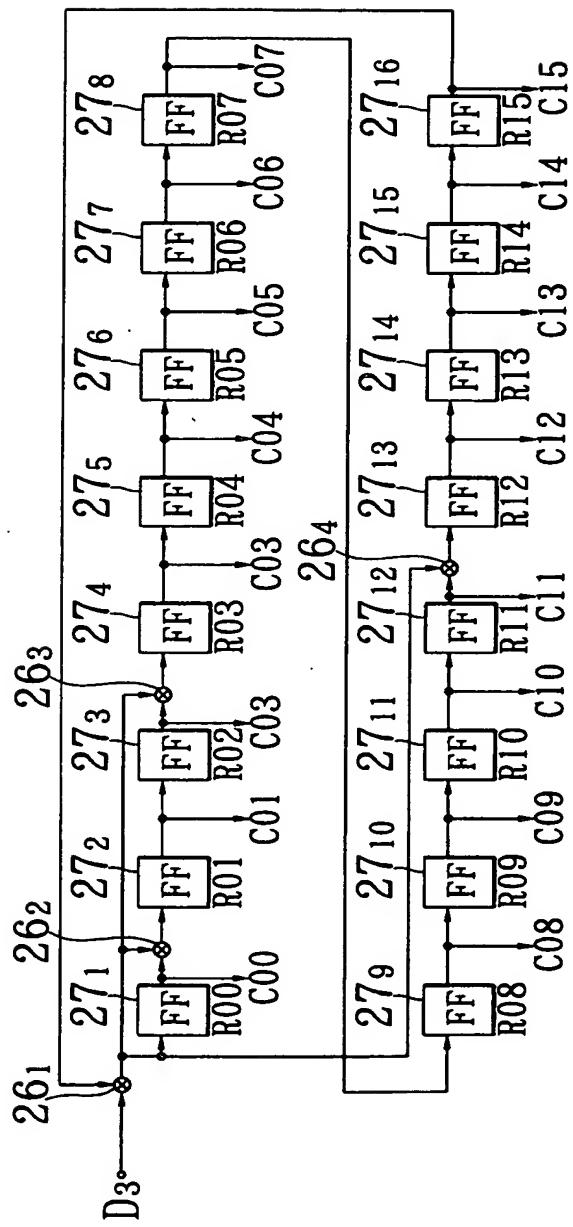
C31	R05・R08・R09・R11・R15・R23・R24・R25・R27・R28・R29・R30・R31・ D00・D01・D02・D03・D04・D06・D08・D16・D20・D22・D23・D26
C30	R04・R07・R08・R10・R14・R22・R23・R24・R26・R27・R28・R29・R30・ D01・D02・D03・D04・D05・D07・D08・D09・D17・D21・D23・D24・D27
C29	R03・R06・R07・R09・R13・R21・R22・R23・R25・R26・R27・R28・R29・R31・ D00・D02・D03・D04・D05・D06・D08・D09・D10・D18・D22・D24・D25・D28
C28	R02・R05・R06・R08・R12・R20・R21・R22・R24・R25・R26・R27・R28・R30・ D01・D03・D04・D05・D06・D07・D09・D10・D11・D19・D23・D25・D26・D29
C27	R01・R04・R05・R07・R11・R19・R20・R21・R23・R24・R25・R26・R27・R29・ D02・D04・D05・D06・D07・D08・D10・D11・D12・D20・D26・D27・D30
C26	R00・R03・R04・R06・R10・R18・R19・R20・R22・R23・R24・R25・R26・R27・R28・ R31・D00・D03・D05・D06・D07・D08・D09・D11・D12・D13・D21・D25・D27・D28・D31
C25	R02・R03・R08・R11・R15・R17・R18・R19・R21・R22・R28・R29・R31・ D00・D02・D03・D09・D10・D12・D13・D14・D16・D20・D23・D28・D29
C24	R01・R02・R07・R10・R14・R16・R17・R18・R20・R21・R27・R28・R30・ D01・D03・D04・D10・D11・D13・D14・D15・D17・D21・D24・D29・D30
C23	R00・R01・R06・R09・R13・R15・R16・R17・R19・R20・R26・R27・R29・R31・ D00・D02・D04・D05・D11・D12・D14・D15・D16・D18・D22・D25・D30・D31
C22	R00・R09・R11・R12・R14・R16・R18・R19・R23・R24・R26・R27・R29・R31・ D00・D02・D04・D05・D07・D08・D12・D13・D15・D17・D19・D20・D22・D31
C21	R05・R09・R10・R13・R17・R18・R22・R24・R26・R27・R29・R31・ D00・D02・D04・D05・D07・D09・D13・D14・D18・D21・D22・D26
C20	R04・R08・R09・R12・R16・R17・R21・R23・R25・R26・R28・R30・ D01・D03・D05・D06・D08・D10・D14・D15・D19・D22・D23・D27
C19	R03・R07・R08・R11・R15・R16・R20・R22・R24・R25・R27・R29・ D02・D04・D06・D07・D09・D11・D15・D16・D20・D23・D24・D28
C18	R02・R06・R07・R10・R14・R15・R19・R21・R23・R24・R26・R28・R31・ D00・D03・D05・D07・D08・D10・D12・D16・D17・D21・D24・D25・D29
C17	R01・R05・R06・R09・R13・R14・R18・R20・R22・R25・R27・R30・R31・ D00・D01・D04・D06・D08・D09・D11・D13・D17・D18・D22・D25・D26・D30
C16	R00・R04・R05・R08・R12・R13・R17・R19・R21・R22・R24・R26・R29・R30・ D01・D02・D05・D07・D09・D10・D12・D14・D18・D19・D23・D26・D27・D31

【図21】

C15	R03・R04・R05・R07・R08・R09・R12・R15・R16・R18・R20・R21・R24・R27・R30・D01・D04・D07・D10・D11・D13・D15・D16・D19・D22・D23・D24・D26・D27・D28
C14	R02・R03・R04・R06・R07・R08・R11・R14・R15・R17・R19・R20・R23・R26・R29・D02・D05・D08・D11・D12・D14・D16・D17・D20・D23・D24・D25・D27・D28・D29
C13	R01・R02・R03・R05・R06・R07・R10・R13・R16・R19・R22・R28・R31・D00・D03・D06・D09・D12・D13・D15・D17・D18・D21・D24・D25・D26・D28・D29・D30
C12	R00・R01・R02・R04・R05・R06・R09・R12・R13・R15・R17・R18・R24・R30・R31・D00・D01・D04・D07・D10・D13・D14・D16・D18・D19・D22・D25・D26・D27・D29・D30・D31
C11	R00・R01・R03・R04・R09・R12・R14・R15・R16・R17・R20・R24・R25・R26・R27・R28・R31・D00・D03・D04・D05・D06・D07・D11・D14・D15・D16・D17・D19・D22・D27・D28・D30・D31
C10	R00・R02・R03・R05・R09・R13・R14・R16・R19・R26・R28・R29・R31・D00・D02・D03・D05・D12・D15・D17・D18・D22・D26・D28・D29・D31
C09	R01・R02・R04・R05・R09・R11・R12・R13・R18・R23・R24・R29・D02・D07・D08・D13・D18・D19・D20・D22・D26・D27・D29・D30
C08	R00・R01・R03・R04・R08・R10・R11・R17・R22・R28・R31・D00・D03・D08・D09・D14・D19・D20・D21・D23・D27・D28・D30・D31
C07	R00・R02・R03・R05・R07・R08・R10・R15・R16・R21・R22・R23・R24・R28・R29・D02・D03・D06・D07・D08・D09・D10・D15・D16・D21・D23・D24・D26・D28・D29・D31
C06	R01・R02・R04・R05・R06・R07・R08・R11・R20・R21・R25・R30・D01・D02・D06・D09・D10・D11・D17・D20・D23・D24・D25・D26・D27・D29・D30
C05	R00・R01・R03・R04・R05・R06・R07・R10・R13・R19・R20・R21・R24・R28・R29・D02・D03・D07・D10・D11・D12・D18・D21・D24・D25・D26・D27・D28・D30・D31
C04	R00・R02・R03・R04・R06・R08・R11・R12・R15・R18・R19・R20・R24・R25・R29・R30・R31・D00・D01・D02・D06・D07・D11・D12・D13・D16・D19・D20・D23・D25・D27・D28・D29・D31
C03	R01・R02・R03・R07・R08・R09・R10・R14・R15・R17・R18・R19・R25・R27・R31・D00・D04・D06・D12・D13・D14・D16・D17・D21・D22・D23・D24・D28・D29・D30
C02	R00・R02・R06・R07・R08・R09・R13・R14・R16・R17・R18・R24・R26・R30・R31・D00・D01・D05・D07・D13・D14・D15・D17・D18・D22・D23・D24・D25・D29・D30・D31
C01	R00・R01・R06・R07・R09・R11・R12・R13・R16・R17・R24・R27・R28・D03・D04・D07・D14・D15・D18・D19・D20・D22・D24・D25・D30・D31
C00	R00・R06・R09・R10・R12・R16・R24・R25・R26・R28・R29・R30・R31・D00・D01・D02・D03・D05・D06・D07・D15・D19・D21・D22・D25・D31

【図22】

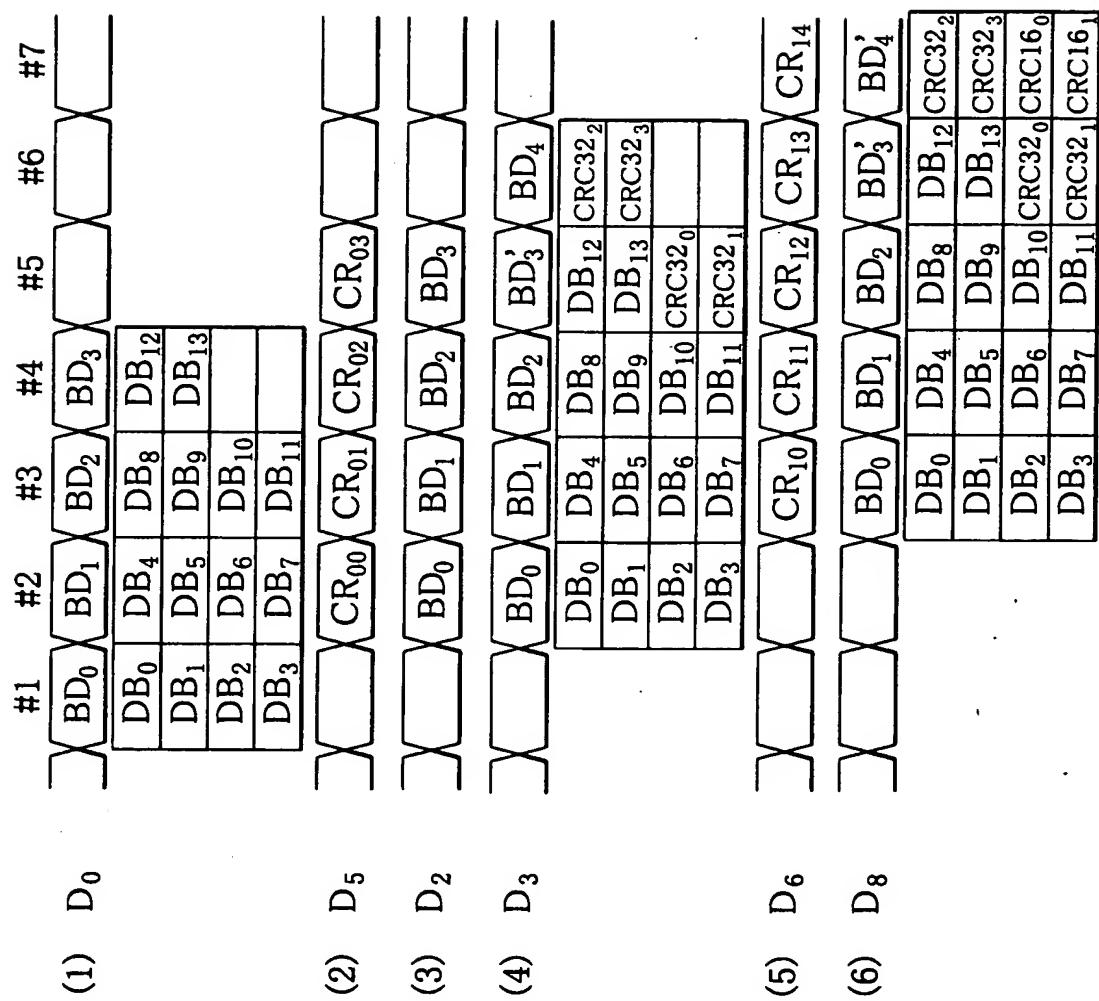
20



【図23】

C15	R03・R04・R06・R09・R11・R12・R14・R15・ D00・D01・D03・D04・D06・D09・D11・D12・D17・D19・D20・D24・D28
C14	R02・R03・R05・R08・R10・R11・R13・R14・ D01・D02・D04・D05・D07・D10・D12・D13・D18・D20・D21・D25・D29
C13	R01・R02・R04・R07・R09・R10・R12・R13・R15・ D00・D02・D03・D05・D06・D08・D11・D13・D14・D19・D21・D22・D26・D30
C12	R00・R01・R03・R06・R08・R09・R11・R12・R14・ D01・D03・D04・D06・D07・D09・D12・D14・D15・D20・D22・D23・D27・D31
C11	R00・R02・R03・R04・R05・R06・R07・R08・R09・R10・R12・R13・R14・R15・ D00・D01・D02・D03・D05・D06・D07・D08・D09・D10・D11・D12・D13・D15・D16・D17・ D19・D20・D21・D23
C10	R01・R02・R03・R04・R05・R06・R07・R08・R09・R11・R12・R13・R14・R15・ D00・D01・D02・D03・D04・D06・D07・D08・D09・D10・D11・D12・D13・D14・D16・D17・ D18・D20・D21・D22・D24
C09	R00・R01・R02・R03・R04・R05・R06・R07・R08・R10・R11・R12・R13・R14・R15・ D00・D01・D02・D03・D04・D05・D07・D08・D09・D10・D11・D12・D13・D14・D15・D17・ D18・D19・D21・D22・D23・D25
C08	R00・R01・R02・R03・R04・R05・R06・R07・R09・R10・R11・R12・R13・R14・ D01・D02・D03・D04・D05・D06・D08・D09・D10・D11・D12・D13・D14・D15・D16・D18・ D19・D20・D22・D23・D24・D26
C07	R00・R01・R02・R03・R04・R05・R06・R08・R09・R10・R11・R12・R13・ D02・D03・D04・D05・D06・D07・D09・D10・D11・D12・D13・D14・D15・D16・D17・D19・ D20・D21・D23・D24・D25・D27
C06	R00・R01・R02・R03・R04・R05・R07・R08・R09・R10・R11・R12・ D03・D04・D05・D06・D07・D08・D10・D11・D12・D13・D14・D15・D16・D17・D18・D20・ D21・D22・D24・D25・D26・D28
C05	R00・R01・R02・R03・R04・R06・R07・R08・R09・R10・R11・ D04・D05・D06・D07・D08・D09・D11・D12・D13・D14・D15・D16・D17・D18・D19・D21・ D22・D23・D25・D26・D27・D29
C04	R00・R01・R02・R03・R05・R06・R07・R08・R09・R10・R15・ D00・D05・D06・D07・D08・D09・D10・D12・D13・D14・D15・D16・D17・D18・D19・D20・ D22・D23・D24・D26・D27・D28・D30
C03	R00・R01・R02・R04・R05・R06・R07・R08・R09・R14・R15・ D00・D01・D06・D07・D08・D09・D10・D11・D13・D14・D15・D16・D17・D18・D19・D20・ D21・D23・D24・D25・D27・D28・D29・D31
C02	R00・R01・R05・R07・R08・R09・R11・R12・R13・R15・ D00・D02・D03・D04・D06・D07・D08・D10・D14・D15・D16・D18・D21・D22・D25・D26・ D29・D30
C01	R00・R04・R06・R07・R08・R10・R11・R12・R14・R15・ D00・D01・D03・D04・D05・D07・D08・D09・D11・D15・D16・D17・D19・D22・D23・D26・ D27・D30・D31
C00	R04・R05・R07・R10・R12・R13・R15・ D00・D02・D03・D05・D08・D10・D11・D16・D18・D19・D23・D27・D31

【図24】



【書類名】 要約書

【要約】

【課題】 巡回冗長検査演算を高速に行う。

【解決手段】 開示されるCRC演算方法では、まず、出力データ D_1 を構成するバイトデータ $B D_0 \sim B D_3$ について32次の生成多項式によりCRC32演算を行う。また、出力データ D_1 を構成するバイトデータ $B D_0 \sim B D_2$ について16次の生成多項式によりCRC16演算を行う。さらに、出力データ D_1 を構成するバイトデータ $B D_3$ と、CRC32演算の途中で得られる演算結果 $C R_0 \sim C R_2$ について16次の生成多項式によりCRC16演算を行う。

【選択図】 図5

出願人履歴情報

識別番号 [000004237]

1. 変更年月日 1990年 8月29日

[変更理由] 新規登録

住 所 東京都港区芝五丁目7番1号

氏 名 日本電気株式会社